

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017600

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 21/8247

G11C 16/04

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 2002-122929

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 24.04.2002

(72)Inventor : KIM SEONG-KYUN

(30)Priority

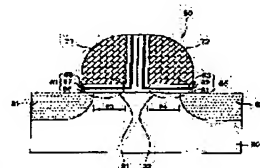
Priority number : 2001 200122389 Priority date : 25.04.2001 Priority country : KR

(54) NON-VOLATILE MEMORY ELEMENT PROVIDED WITH TWO-BIT OPERATED TWO TRANSISTORS AND ITS DRIVING METHOD AND MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an EEPROM element, its driving method and manufacturing method having an ONO structure capable of improving electronic trap efficiency and decreasing trap current.

SOLUTION: The EEPROM element includes a first conductive semiconductor substrate provided with mutually first and second channel areas, first and second conductive gates formed on the first and second channel areas respectively so as to be mutually opposed, first and second insulating films formed on the lower parts of the first and second conductive gates and a substrate therebetween respectively, and second conductive first and second joining areas overlapped with the first and second conductive gates to be formed on the substrate and restricting the first and second channel areas in a space of the substrate therebetween.



LEGAL STATUS

[Date of request for examination]

21.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Post Available Copy

***NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Were respectively formed on said the 1st and 2nd channel field so that it might be each other in the semi-conductor substrate and; ***** of the 1st conductivity type equipped with the 1st and the 2nd channel field which carry out mutual contiguity. The 1st and 2nd conductivity gate and the 1st and 2nd insulator layers respectively formed on the substrate between them at the 1st and 2nd conductivity gate [of; above] lower list; It is overlapped with said 1st and 2nd conductivity gate, and is formed on said substrate. The nonvolatile memory component characterized by including the 1st and 2nd junction field of the 2nd conductivity type which limits said the 1st and 2nd channel field to the space of the substrate between them, and;

[Claim 2] It is the nonvolatile memory component according to claim 1 characterized by committing said 1st conductivity gate as the control gate, and committing said 2nd conductivity gate as a selector gate.

[Claim 3] It is the nonvolatile memory component according to claim 1 characterized by committing said 1st conductivity gate as a selector gate, and committing said 2nd conductivity gate as the control gate.

[Claim 4] Said 1st and 2nd insulator layers are nonvolatile memory components according to claim 1 characterized by being made by the ONO film by which the nitride as an electron trap layer formed between oxide films was sandwiched.

[Claim 5] It is the nonvolatile memory component according to claim 4 characterized by for the part formed in the 1st and 2nd conductivity gate lower part in the ONO film for said 1st and 2nd insulator layers working as each dielectric film for charge traps, and the part formed between the 1st and 2nd conductivity gates working as an insulator layer between the 1st and 2nd conductivity gates.

[Claim 6] Were respectively formed on said the 1st and 2nd channel field so that it might be each other in the semi-conductor substrate and; ***** of the 1st conductivity type equipped with the 1st and the 2nd channel field which carry out mutual contiguity. The 1st and 2nd conductivity gate; Were respectively formed on said 1st and 2nd conductivity gate lower part and the substrate between them. The 1st and 2nd dielectric films containing an electron trap layer; It is overlapped with said 1st and 2nd conductivity gate, and is formed on said substrate. The 1st and 2nd junction field of the 2nd conductivity type and; which limit said the 1st and 2nd channel field to the space of the substrate between them are included. When one of said the 1st and 2nd conductivity gates works as a selector gate Other one works as the control gate and the 1st and 2nd gates drive it in mutual independent. By carrying out a trap to the electron trap layer of the dielectric film of said control gate lower part in said 1st and 2nd dielectric films by the electric field to which the electron generated to the channel field of said selector-gate lower part in the 1st and the 2nd channel field was impressed at said control gate The nonvolatile memory component characterized by what every 1 bit data are respectively stored for in said 1st and 2nd dielectric films.

[Claim 7] The unit cell and; equipped with the 1st and 2nd memory cells which are connected among said one pair of bit lines are included. One pair of bit lines, and one pair of WORD lines; said 1st memory cell The 1st conductivity gate which was formed on the 1st channel field of the semi-conductor substrate of the 1st conductivity type, and was connected with one of said one pair of the WORD lines; Were formed in said 1st conductivity gate lower part and side attachment wall. The 1st dielectric film

containing an electron trap layer; It is overlapped with said 1st conductivity gate, and is formed in said substrate. It has the 1st junction field of the 2nd conductivity type connected with one of said one pair of the bit lines, and;. Said 2nd memory cell It is formed so that said 1st conductivity gate may be faced on the 2nd channel field of said semi-conductor substrate contiguous to said 1st channel field. The 2nd conductivity gate connected with the remainder in said one pair of WORD lines; Were formed in said 2nd conductivity gate lower part and side attachment wall. The 2nd dielectric film containing an electron trap layer; the nonvolatile memory component characterized by what it is overlapped with said 2nd conductivity gate, is formed in said substrate, and has the 2nd junction field of the 2nd conductivity type connected with the remainder in said one pair of bit lines, and; for.

[Claim 8] Said 1st and 2nd dielectric films are nonvolatile memory components according to claim 7 characterized by being made by the ONO film by which the nitride which is an electron trap layer was respectively sandwiched between oxide films.

[Claim 9] The unit cell and; equipped with the 1st and 2nd memory cells which are connected among said one pair of bit lines are included. One pair of bit lines, and one pair of WORD lines; said 1st memory cell The 1st conductivity gate which was formed on the 1st channel field of the semi-conductor substrate of the 1st conductivity type, and was connected with one of said one pair of the WORD lines; Were formed in said 1st conductivity gate lower part and side attachment wall. The 1st dielectric film containing an electron trap layer; It is overlapped with said 1st conductivity gate, and is formed in said substrate. It has the 1st junction field of the 2nd conductivity type connected with one of said one pair of the bit lines, and;. Said 2nd memory cell It is formed so that said 1st conductivity gate may be faced on the 2nd channel field of said semi-conductor substrate contiguous to said 1st channel field. The 2nd conductivity gate connected with the remainder in said one pair of WORD lines; Were formed in said 2nd conductivity gate lower part and side attachment wall. The 2nd dielectric film containing an electron trap layer; It is overlapped with said 2nd conductivity gate, and is formed in said substrate. It has the 2nd junction field of the 2nd conductivity type connected with the remainder in said one pair of bit lines, and;. It is the nonvolatile memory component characterized by what other one works as a selection cel for choosing said cel when working by the data cell for one of said the 1st and 2nd memory cells to store data, and 1-bit data are respectively stored for in the 1st and 2nd memory cells.

[Claim 10] The 1st high voltage is impressed to the bit line connected with the junction field of said data cell in the 1st and 2nd junction field in said one pair of bit lines. The bit line and the substrate which were connected with the junction field of a selection cel are grounded. The inside of the; aforementioned one pair of WORD lines, The 2nd high voltage and a low battery are respectively impressed to the WORD line connected with the WORD line connected with the conductive gate of the selection cel in said 1st and 2nd conductivity gate, and the conductive gate of a data cell. ; The nonvolatile memory component according to claim 9 characterized by programming data to said data cell.

[Claim 11] The 1st high voltage is impressed to the bit line connected with the junction field of said data cell. A low battery is respectively impressed to the WORD line connected with the conductive gate of the bit line connected with the junction field of said selection cel, and said selection cel. The nonvolatile memory component according to claim 10 characterized by eliminating the data which were made to ground the WORD line and substrate which were connected with the conductive gate of said data cell, and were programmed by said data cell.

[Claim 12] The nonvolatile-memory component according to claim 11 characterized by to ground the bit line and the substrate which were connected with the junction field of said data cell, to impress a read-out electrical potential difference to the WORD line connected with the bit line connected with the junction field of said selection cel, and the conductive gate of said data cell, to impress a low battery to the WORD line connected with the conductive gate of said selection cel, and to read the data programmed by said data cell.

[Claim 13] It is the nonvolatile memory component according to claim 12 which said 1st high voltage is 8-10V, the 2nd high voltage is 9-12V, and said low battery is 4-5V, and is characterized by said read-

out electrical potential difference being a value between the marginal electrical potential difference at the time of the program of said data cell, and the marginal electrical potential difference at the time of elimination.

[Claim 14] The junction field of said selection cel is a nonvolatile memory component according to claim 13 characterized by working as a source field at the time of the data program of said data cell.

[Claim 15] One pair of bit lines, and one pair of WORD lines; said one pair of transistors are nonvolatile memory components characterized by storing every 1 bit data respectively including the unit cell and; which consisted of one pair of transistors by which it is connected among said one pair of bit lines, and each gate is respectively connected with one pair of WORD lines.

[Claim 16] One pair of bit lines, and one pair of WORD lines; it is the nonvolatile memory component which the end child of one pair of said transistors is respectively connected with said one pair of WORD lines, and is characterized by connecting respectively the other end child of one pair of said transistors with said one pair of bit lines including a unit cell and; equipped with one pair of transistors which have two terminals connected among said one pair of bit lines.

[Claim 17] It is the nonvolatile memory component according to claim 16 characterized by for other one working with a selection transistor when one of said one pair of the transistors works as a cel transistor, and one pair of transistors storing 1-bit data in mutual independent respectively.

[Claim 18] One of the transistors of the pair of said unit cell is chosen. Data at the time of a program The 1st and 2nd high voltages are respectively impressed to the bit line and the WORD line which were connected with said selected transistor in one pair of said bit line and one pair of WORD lines. The nonvolatile memory component according to claim 17 characterized by impressing respectively a low electrical potential difference and a touch-down electrical potential difference to the bit line and the WORD line which were connected with the un-chosen transistor.

[Claim 19] The nonvolatile memory component according to claim 18 characterized by impressing the 1st high voltage and a low battery to said selected bit line and selected WORD line of a transistor respectively, and impressing a low battery and a touch-down electrical potential difference to said bit line and WORD line of a transistor which were un-chosen respectively when eliminating the data programmed by said selected transistor.

[Claim 20] The nonvolatile memory component according to claim 19 characterized by impressing respectively a touch-down electrical potential difference and a read-out electrical potential difference to said selected bit line and selected WORD line of a transistor, and impressing a read-out electrical potential difference and a low battery to said bit line and WORD line of a transistor which were un-chosen respectively when reading the data programmed by said selected transistor.

[Claim 21] It is the nonvolatile memory component according to claim 20 characterized by said un-chosen transistor working as a selection transistor when said selected transistor works as a cel transistor.

[Claim 22] It is the nonvolatile memory component according to claim 21 which said 1st high voltage is 8-10V, the 2nd high voltage is 9-12V, and said low battery is 4-5V, and is characterized by said read-out electrical potential difference being a value between the marginal electrical potential difference at the time of the program of said data cell, and the marginal electrical potential difference at the time of elimination.

[Claim 23] One pair of bit lines, and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included. The 1st and 2nd memory cells of said unit cell It was formed in the 1st and the 2nd channel field of said semi-conductor substrate, and were respectively formed on said channel field. The conductive gate equipped with the electron trap layer; It has the junction field of the 2nd conductivity type which it was overlapped with said conductive gate, was formed in the substrate, and was respectively connected with said one pair of bit lines, and;. When working as a data cell for one of said the 1st and 2nd memory cells to store data In the nonvolatile memory component which other one works as a selection cel for choosing said cel, and

stores 1-bit data in the 1st and 2nd memory cells respectively The phase of impressing the high voltage to the bit line and the WORD line of the phase and the; aforementioned data cell which impress a touch-down electrical potential difference and a low battery to the bit line and the WORD line of a selection cel in the 1st and 2nd memory cells of said unit cell respectively; the electron generated in the channel layer of said selection cel The phase and; which carry out a trap to the electron trap layer of said data cell with the high voltage impressed to the WORD line of said data cell are included. The data programming approach of the nonvolatile memory component characterized by programming 1-bit data respectively in mutual independent to said 1st and 2nd memory cells.

[Claim 24] One pair of bit lines, and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included. The 1st and 2nd memory cells of said unit cell It was formed in the 1st and the 2nd channel field of said semi-conductor substrate, and were respectively formed on said channel field. The conductive gate equipped with the electron trap layer; It has the junction field of the 2nd conductivity type which it was overlapped with said conductive gate, was formed in the substrate, and was respectively connected with said one pair of bit lines, and;. When working as a data cell for one of said the 1st and 2nd memory cells to store data In the nonvolatile memory component which other one works as a selection cel for choosing said cel, and stores 1-bit data in the 1st and 2nd memory cells respectively the phase and; which impress an each low battery to the bit line and the WORD line of a selection cel in the 1st and 2nd memory cells of said unit cell -- the phase and; which impress the high voltage and a touch-down electrical potential difference to the bit line and the WORD line of said selection cel -- the hole generated to the channel field of said selection cel The data elimination approach of the nonvolatile memory component characterized by eliminating the 1-bit data respectively stored in said 1st and 2nd memory cells including the phase and; which are injected into said electron injection layer with the touch-down electrical potential difference impressed to the WORD line of said selection cel in mutual independent.

[Claim 25] One pair of bit lines, and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included. The 1st and 2nd memory cells of said unit cell It was formed in the 1st and the 2nd channel field of said semi-conductor substrate, and were respectively formed on said channel field. The conductive gate equipped with the electron trap layer; It has the junction field of the 2nd conductivity type which it was overlapped with said conductive gate, was formed in the substrate, and was respectively connected with said one pair of bit lines, and;. When working as a data cell for one of said the 1st and 2nd memory cells to store data In the nonvolatile memory component which other one works as a selection cel for choosing said cel, and stores 1-bit data in the 1st and 2nd memory cells respectively The phase of impressing a touch-down electrical potential difference and a read-out electrical potential difference to the bit line and the WORD line of a phase and the; aforementioned selection cel which impress a read-out electrical potential difference and a low battery to the bit line and the WORD line of a selection cel in the 1st and 2nd memory cells of said unit cell; ON of said data cell, The data readout approach of the nonvolatile memory component characterized by reading at a time 1 bit of data stored in said 1st and 2nd memory cells in mutual independent including the phase and; which read the data therefore stored in said selection cel off.

[Claim 26] The semi-conductor substrate of the 1st conductivity type The phase to offer; the predetermined part of said semi-conductor substrate The window to expose The insulator layer which it had So that it may be each other in the side attachment wall of said 1st conductivity gate in the 1st conductivity gate and ***** The phase which forms the 1st conductivity gate of the shape of the phase to form and a spacer which equipped the side attachment wall of said insulator layer in the; aforementioned window with the 1st dielectric film, and the phase of removing the; aforementioned insulator layer; the 2nd dielectric film The phase which forms the 2nd conductivity gate of the shape of a spacer which it had; the manufacture approach of the nonvolatile memory component characterized by including the phase which forms the junction field of the 2nd conductivity type so that it may be

respectively overlapped by said substrate with said 1st and 2nd conductivity gate, and;

[Claim 27] Said insulator layer is the manufacture approach of the nonvolatile memory component according to claim 26 characterized by being made by the pad oxide film formed on the substrate, and the nitride.

[Claim 28] Said 1st and 2nd dielectric films are the manufacture approaches of the nonvolatile memory component according to claim 26 characterized by being respectively made by the ONO film of an oxide-film-nitride-oxide film.

[Claim 29] The part formed between ***** in said 1st and 2nd dielectric films or said 1st and 2nd conductivity gate which is each other is the manufacture approach of the nonvolatile memory component according to claim 28 characterized by carrying out the role which insulates said 1st and 2nd conductivity gate.

[Claim 30] Said 1st and 2nd conductivity gate is the manufacture approach of the nonvolatile memory component according to claim 29 characterized by being made by the polish recon film.

[Claim 31] The approach of forming the 1st conductivity gate containing said 1st dielectric film The phase which forms the ONO film of the 1st oxide-film-nitride-2nd oxide film on an insulator layer including said window, and the phase which forms the polish recon film on the 2nd oxide film in the; aforementioned ONO film; Etchback of said ONO film and the polish recon film is carried out. The manufacture approach of the nonvolatile memory component according to claim 26 characterized by including the phase which forms the 1st dielectric film and the 1st conductivity gate, and; in the side attachment wall in said window.

[Claim 32] The approach of forming the 2nd conductivity gate containing said 2nd dielectric film The phase which forms the ONO film of the 1st oxide-film-nitride-2nd oxide film on a substrate including said 1st conductivity gate, and the phase which forms the polish recon film on the 2nd oxide film of the; aforementioned ONO film; Etchback of said polish recon film and the ONO film is carried out. The manufacture approach of the nonvolatile memory component according to claim 26 characterized by including the phase which forms the 2nd dielectric film and the 2nd conductivity gate, and; in the side attachment wall of said 1st conductivity gate.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the nonvolatile memory component which has ONO structure, and relates to the drive approach and the manufacture approach at the nonvolatile memory component list still more specifically equipped with two transistors of 2-bit actuation.

[0002]

[Description of the Prior Art] the ONO film with which the EEPROM component which has the ONO structure in a non-volatile component sandwiched the nitride (SiN) on the WORD line, i.e., the gate lower part, between the oxide films which are dielectric films -- forming -- said nitride -- an electron -- a trap (trap) -- or a data lap (detrap) is carried out and they are a program, elimination, and the memory device to read about data at a memory cell. In the EEPROM component which has ONO structure, there are the F-N (Fowler-Nordheim) tunneling approach and the CHEI (channel hot electron injection) approach as approach of carrying out the trap of the electron to a nitride. Although there are few amounts of currents required for the F-N tunneling approach to carry out the trap of the electron, there is demerit in which the time amount by which necessary is carried out to carrying out a trap is long. On the other hand, the CHEI approach has the demerit to which the number of the cels which whose amount of currents required for a trap is large, and can carry out the trap of it at once is restricted, although trap time amount is short.

[0003] United States patent No. 5,768,192 is shown the nonvolatile memory component which has the ONO structure which carries out the trap of the electron to a nitride using the CHEI approach. Drawing 1 and drawing 2 illustrate the cross-section structure of the EEPROM cel of the ONO structure which programs data using the conventional CHEI, and are illustrating it only to one unit cell.

[0004] When drawing 1 and drawing 2 are referred to, EEPROM10 of the conventional ONO structure has the structure where the unit cell consisted of one cel transistor CT 11, the gate 30 was connected with the WORD line WL11, and the source / junction fields 41 and 42 for drains were respectively connected with one pair of bit lines BL11 and BL12.

[0005] The dielectric film 25 for electronic trapping (trapping dielectric) of the ONO structure to which the cross-section structure of the EEPROM component of the conventional ONO structure carried out the laminating of the 1st oxide film 21, a nitride 22, and the 2nd oxide film 23 one by one on the channel field 43 of the substrate 20 of the 1st conductivity type, for example, a P type substrate, is formed. On said dielectric film 25, the conductive gate 30 connected with the WORD line WL11 is formed, it is overlapped by the substrate of said conductive gate 30 both sides with said conductive gate 30, and the source / junction fields 41 and 42 for drains are formed in it.

[0006] Said 1st oxide film 21 in said dielectric film 25 is a layer which forms the electric isolation to a channel field, and the 2nd oxide film 23 is a layer which forms the electric isolation to said WORD line 30. The 1st and 2nd oxide films 21 and the nitride 22 sandwiched among 23 are electron trap layers which carry out the trap of the poured-in electron and hold data (retention).

[0007]

[Problem(s) to be Solved by the Invention] The conventional EEPROM component which was described above impresses the predetermined electrical potential difference for programming to the bit lines BL11 and BL12 connected with the gate 30, and the source / drain junction fields 41 and 42, the trap of the electron of a channel layer is carried out to the nitride 22 which is an electron trap layer by the CHEI method, and data are programmed by the memory cell. So, in order to program data to a memory cell using a CHEI method, there was a trouble that the number of the memory cells which there are many amounts of a current required for a data program, and they can program at once was restricted in the conventional EEPROM component. Moreover, there was a trouble that DISUTABANSU (disturbance) by too much data lap (detrap) of the electron by which the trap was carried out to the electron trap layer occurred, and dependability fell at the time of data elimination.

[0008] It is offering the EEPROM component which has the ONO structure it being, and the purpose of this invention being able to raise electronic trap effectiveness, and a trap current's being decreased and its drive approach for this invention solving the trouble of the conventional technique which was described above, and the manufacture approach.

[0009] Other purposes of this invention are offering the EEPROM component which has the ONO structure which can offer the WORD line structure by which the split's was carried out, and can raise the electron trap effectiveness by the CHEI method, its drive approach, and the manufacture approach.

[0010] Other purposes of this invention are offering the WORD line equipped with the ONO dielectric film by which the split's was carried out, and offering the EEPROM component which can form two memory cells among one pair of bit lines, and can raise a degree of integration, its drive approach, and the manufacture approach.

[0011] The purpose of further others of this invention is offering the EEPROM component which can prevent DISUTABANSU at the time of data elimination, and can raise dependability, its drive approach, and the manufacture approach.

[0012] The purpose of further others of this invention is offering the EEPROM component which has the ONO structure which can raise DISUTABANSU resistance (disturbance immunity), its drive approach, and the manufacture approach by forming two cel transistors and using with the selection transistor of each cel transistor among one pair of bit lines.

[0013] The purpose of further others of this invention is offering the EEPROM component which has the ONO structure the cell size on a design being made to reduce to formation of a split WORD line with the application of the self aryne approach, its drive approach, and the manufacture approach.

[0014]

[Means for Solving the Problem] Were respectively formed on said the 1st and 2nd channel field by this invention for attaining such a purpose so that it might be each other in the semi-conductor substrate and; ***** of the 1st conductivity type equipped with the 1st and the 2nd channel field which carry out mutual contiguity. The 1st and 2nd conductivity gate and the 1st and 2nd insulator layers respectively formed on the substrate between them at the 1st and 2nd conductivity gate [of; above] lower list; It is overlapped with said 1st and 2nd conductivity gate, and is formed on said substrate. It is characterized by offering the nonvolatile memory component containing the 1st and 2nd junction field of the 2nd conductivity type which limits said the 1st and 2nd channel field to the space of the substrate between them, and;.

[0015] Moreover, were respectively formed by this invention on said the 1st and 2nd channel field so that it might be each other in the semi-conductor substrate and; ***** of a conductivity type equipped with the 1st and the 2nd channel field which carry out mutual contiguity. The 1st and 2nd conductivity gate; Were respectively formed on the substrate between them at said 1st and 2nd conductivity gate lower list. The 1st and 2nd dielectric films containing an electron trap layer; It is overlapped with said 1st and 2nd conductivity gate, and is formed on said substrate. The 1st and 2nd junction field of the 2nd conductivity type and; which limit said the 1st and 2nd channel field to the space of the substrate between them are included. When one of said the 1st and 2nd conductivity gates works as a selector gate, other one works as the control gate and the 1st and 2nd gates drive it in mutual independent. By carrying out a trap to the electron trap layer of the dielectric film of said control gate lower part in said 1st and 2nd dielectric films by the electric field to which the electron generated to the channel field of said selector-gate. lower part in the 1st and the 2nd channel field was impressed at said control gate It is characterized by offering the nonvolatile memory component with which every 1 bit data are respectively stored in said 1st and 2nd dielectric films.

[0016] Moreover, the bit line of 1 pair [this invention] and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included. Said 1st memory cell The 1st conductivity gate which was formed on the 1st channel field of the semi-conductor substrate of the 1st conductivity type, and was connected with one of said one pair of the WORD lines; Were formed in said 1st conductivity gate lower part and side attachment wall. The 1st dielectric film containing an electron trap layer; It is overlapped with said 1st conductivity gate, and is formed in said substrate. It has the 1st junction field of the 2nd conductivity type connected with one of said one pair of the bit lines, and;. Said 2nd memory cell It is formed so that said 1st conductivity gate may be faced on the 2nd channel field of said semi-conductor substrate contiguous to said 1st channel field. The 2nd conductivity gate connected with the remainder in said one pair of WORD lines; Were formed in said 2nd conductivity gate lower part and side attachment wall. The 2nd dielectric film

containing an electron trap layer; it is characterized by being overlapped with said 2nd conductivity gate, being formed in said substrate, and offering a nonvolatile memory component equipped with the 2nd junction field of the 2nd conductivity type connected with the remainder in said one pair of bit lines, and;. [0017] Moreover, the bit line of 1 pair [this invention] and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included. Said 1st memory cell The 1st conductivity gate which was formed on the 1st channel field of the semi-conductor substrate of the 1st conductivity type, and was connected with one of said one pair of the WORD lines; Were formed in said 1st conductivity gate lower part and side attachment wall. The 1st dielectric film containing an electron trap layer; It is overlapped with said 1st conductivity gate, and is formed in said substrate. It has the 1st junction field of the 2nd conductivity type connected with one of said one pair of the bit lines, and;. Said 2nd memory cell It is formed so that said 1st conductivity gate may be faced on the 2nd channel field of said semi-conductor substrate contiguous to said 1st channel field. The 2nd conductivity gate connected with the remainder in said one pair of WORD lines; Were formed in said 2nd conductivity gate lower part and side attachment wall. The 2nd dielectric film containing an electron trap layer; It is overlapped with said 2nd conductivity gate, and is formed in said substrate. It has the 2nd junction field of the 2nd conductivity type connected with the remainder in said one pair of bit lines, and;. When working as a data cell for one of said the 1st and 2nd memory cells to store data, it is characterized by for other one working as a selection cel for choosing said cel, and offering the nonvolatile memory component which stores 1-bit data in the 1st and 2nd memory cells respectively.

[0018] Moreover, the bit line of 1 pair [this invention] and one pair of WORD lines; said one pair of transistors are characterized by offering the nonvolatile memory component which stores 1 bit of data at a time respectively including the unit cell and; which consisted of one pair of transistors by which it is connected among said one pair of bit lines, and each gate is respectively connected with one pair of WORD lines.

[0019] Moreover, the bit line of 1 pair [this invention] and one pair of WORD lines; Are connected among said one pair of bit lines. The end child of one pair of said transistors is respectively connected with said one pair of WORD lines including a unit cell and; equipped with one pair of transistors which have two terminals. The other end child of one pair of said transistors is characterized by offering the nonvolatile memory component respectively connected with said one pair of bit lines.

[0020] Moreover, the bit line of 1 pair [this invention] and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included. The 1st and 2nd memory cells of said unit cell It was formed in the 1st and the 2nd channel field of said semi-conductor substrate, and were respectively formed on said channel field. The conductive gate equipped with the electron trap layer; It has the junction field of the 2nd conductivity type which it was overlapped with said conductive gate, was formed in the substrate, and was respectively connected with said one pair of bit lines, and;. When working as a data cell for one of said the 1st and 2nd memory cells to store data, other one works as a selection cel for choosing said cel. In the nonvolatile memory component which stores 1-bit data in the 1st and 2nd memory cells respectively The phase of impressing the high voltage to the bit line and the WORD line of the phase and the; aforementioned data cell which impress a touch-down electrical potential difference and a low battery to the bit line and the WORD line of a selection cel in the 1st and 2nd memory cells of said unit cell respectively; the electron generated in the channel layer of said selection cel The phase and; which carry out a trap to the electron trap layer of said data cell with the high voltage impressed to the WORD line of said data cell are included. It is characterized by offering the data programming approach of the nonvolatile memory component which programs 1-bit data respectively in mutual independent to said 1st and 2nd memory cells.

[0021] Moreover, the bit line of 1 pair [this invention] and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included.

The 1st and 2nd memory cells of said unit cell It was formed in the 1st and the 2nd channel field of said semi-conductor substrate, and were respectively formed on said channel field. The conductive gate equipped with the electron trap layer; It has the junction field of the 2nd conductivity type which it was overlapped with said conductive gate, was formed in the substrate, and was respectively connected with said one pair of bit lines, and;. When working as a data cell for one of said the 1st and 2nd memory cells to store data, other one works as a selection cel for choosing said cel. In the nonvolatile memory component which stores 1-bit data in the 1st and 2nd memory cells respectively the phase and; which impress an each low battery to the bit line and the WORD line of a selection cel in the 1st and 2nd memory cells of said unit cell -- the phase and; which impress the high voltage and a touch-down electrical potential difference to the bit line and the WORD line of said selection cel -- the hole generated to the channel field of said selection cel It is characterized by offering the data elimination approach of the nonvolatile memory component which eliminates the 1-bit data respectively stored in said 1st and 2nd memory cells including the phase and; which are injected into said electron injection layer with the touch-down electrical potential difference impressed to the WORD line of said selection cel in mutual independent.

[0022] Moreover, the bit line of 1 pair [this invention] and one pair of WORD lines; Are connected among said one pair of bit lines. A unit cell and; equipped with the 1st and 2nd memory cells are included. The 1st and 2nd memory cells of said unit cell It was formed in the 1st and the 2nd channel field of said semi-conductor substrate, and were respectively formed on said channel field. The conductive gate equipped with the electron trap layer; It has the junction field of the 2nd conductivity type which it was overlapped with said conductive gate, was formed in the substrate, and was respectively connected with said one pair of bit lines, and;. When working as a data cell for one of said the 1st and 2nd memory cells to store data, other one works as a selection cel for choosing said cel. In the nonvolatile memory component which stores 1-bit data in the 1st and 2nd memory cells respectively The phase of impressing a touch-down electrical potential difference and a read-out electrical potential difference to the bit line and the WORD line of a phase and the; aforementioned selection cel which impress a read-out electrical potential difference and a low battery to the bit line and the WORD line of a selection cel in the 1st and 2nd memory cells of said unit cell; ON of said data cell, It is characterized by offering the data readout approach of the nonvolatile memory component which reads at a time 1 bit of data stored in said 1st and 2nd memory cells in mutual independent including the phase and; which read the data therefore stored in said selection cel off.

[0023] Moreover, this invention The semi-conductor substrate of the 1st conductivity type The phase to offer; the predetermined part of said semi-conductor substrate The window to expose The insulator layer which it had So that it may be each other in the side attachment wall of said 1st conductivity gate in the 1st conductivity gate and ***** The phase which forms the 1st conductivity gate of the shape of the phase to form and a spacer which equipped the side attachment wall of said insulator layer in the; aforementioned window with the 1st dielectric film, and the phase of removing the; aforementioned insulator layer; the 2nd dielectric film The phase which forms the 2nd conductivity gate of the shape of a spacer which it had; it is characterized by offering the manufacture approach of the nonvolatile memory component containing the phase which forms the junction field of the 2nd conductivity type so that it may be respectively overlapped by said substrate with said 1st and 2nd conductivity gate, and;.

[0024]

[Embodiment of the Invention] Hereafter, in order to explain this invention still more concretely, one example by this invention is explained to a detail, referring to an accompanying drawing. Drawing 3 illustrates the cross-section structure of the EEPROM component of the SONOS structure of having a split WORD line by the example of this invention. Drawing 4 illustrates the equal circuit of the EEPROM component which has the split WORD line of drawing 3 . Moreover, drawing 3 and drawing 4 illustrate the cross-section structure and the equal circuit of one unit cell in an EEPROM component.

[0025] As for the EEPROM component by the example of this invention, reference of drawing 3 and

drawing 4 forms the 2nd junction field 82 where the 2nd bit line BL22 is connected with the 1st junction field 81 where the 1st bit line BL21 in one pair of bit lines BL [BL21 and] 22 is connected on the semi-conductor substrate 60. Under the present circumstances, said semi-conductor substrate 60 is, predetermined conductivity type, for example, P type substrate, and said 1st and 2nd junction fields 81 and 82 are conductivity types opposite to said semi-conductor substrate 60, for example, an N type junction field.

[0026] On the 1st and the 2nd channel field 83 between said 1st and 2nd junction field 81 and 82, and 84, the 1st and 2nd conductivity gates 71 and 72 are overlapped with the 1st and 2nd junction fields 81 and 82 which adjoined respectively, and are formed. Said 1st and 2nd conductivity gates 71 and 72 are equipped with the ONO film 70 and 65 respectively formed in the lower part, and they are formed by the shape of a spacer so that it may be each other in *****. Said ONO film 70 and said 1st oxide film 66 and 61 in 65 are the layers for the electric isolation to the channel fields 83 and 84, and the 2nd oxide film 68 and 63 is a layer for carrying out isolation of said gates 71 and 72 electrically. The 1st and 2nd oxide films 66, 68, and 61 and the nitrides 67 and 62 sandwiched among 63 are electron trap layers which carry out the trap of the electron poured in from the channel layers 83 and 84, and hold data (retention).

[0027] Although said ONO film 70 and 65 works as the dielectric film and insulator layer of the 1st and 2nd memory cells 91 and 92 The ONO film 70, the gate 71 in 65, the channel 83 of said substrate of the 72 lower part, and the part formed on 84 Working respectively as a dielectric film of the 1st and 2nd memory cells 91 and 92, the adjoining conductive gate 71 and the part formed among 72 work as an insulator layer for the insulation between the conductive gate 71 by which the split was carried out, and 72. Said ONO film 70 and the oxide films 66 and 61 in 65 are the things for the insulation with a substrate, nitrides 67 and 62 are for carrying out the trap of the electron and holding data, and oxide films 68 and 63 are the things for the insulation with the conductive gates 71 and 72.

[0028] Since the EEPROM component of this invention programs data to a memory cell with a CHEI method, as for said ONO film 70 and 65, what has the thickness which is extent which electronic F-N tunneling does not generate, for example, the thickness of about 200Å, is desirable. And as for each 1st oxide film 61 and 66, nitrides 62 and 67, and oxide films 63 and 68, what has the thickness of 80Å, 40Å, and about 80Å respectively is desirable, and, as for the 1st and 2nd oxide films, forming by the same thickness is desirable. So, the unit cell 50 by which the EEPROM component of this invention was connected among one pair of bit lines consists of two memory cells 91 and 92. And said 1st and 2nd conductivity gates 71 and 72 are respectively connected with one pair of WORD lines WL21 and WL22 by which the split was carried out, said each memory cells 91 and 92 equip the lower part with a dielectric film respectively, and a unit cell 50 comes to carry out 2-bit actuation by storing 1-bit data for every memory cell.

[0029] In the EEPROM component of this invention which has structure which was described above, the 1st memory cell 91 has the 1st junction field 91 for the sources which it was overlapped with the 1st conductivity gate 71 of the shape of a spacer equipped with the 1st ONO film 70 which was formed on the 1st channel field 83 of said semi-conductor substrate 60, and which has the electron trap layer 67, and said 1st conductivity gate 71, and was formed on said substrate 60. On the other hand, the 2nd memory cell 92 has the 2nd junction field 82 for the sources which it was overlapped with the 2nd conductivity gate 72 equipped with the 2nd ONO film 65 which was formed so that said 1st conductivity gate 71 might be faced on the 2nd channel field 84 of said semi-conductor substrate 60, and which has the electron trap layer 62, and said 2nd conductivity gate 72, and was formed in said substrate 60.

[0030] Since separation formation is carried out respectively and the 1st and 2nd conductivity gate forms two memory cells on each channel field 83 and 84, the 1st and 2nd conductivity gate 71 and the 1st and 2nd ONO film 65 and 70 between 72 thickness-grade-leave each channel fields 83 and 84, and the unit cell 50 of the EEPROM component of this invention is formed. Reference of drawing 4 carries out the connection configuration of the 1st and 2nd transistors CT21 and CT22 from which the unit cell

50 of the EEPROM component of this invention constitutes respectively the 1st and 2nd memory cells 91 and 92 among one pair of bit lines BL [BL21 and] 22. Although said 1st and 2nd transistors CT21 and CT22 consist of 2 terminal transistors respectively, the gate terminals 71 and 72 which are end children are connected with each the 1st and 2nd word Rhine WL21 and WL22, and the source terminals 81 and 82 which are other end children are respectively connected with the 1st bit line BL21 and the 2nd bit line BL22.

[0031] In the unit cell 50 of EEPROM as shown in drawing 4 , in working as a cel transistor for the 1st transistor CT 21 to store data, the 2nd transistor CT 22 works as a selection transistor. In working as a cel transistor for the 2nd transistor CT 22 to store data this and reversely, the 1st transistor CT 21 works as a selection transistor. Therefore, since two transistors CT21 and CT22 store 1-bit data respectively in mutual independent, a unit cell 50 comes to store 2-bit data.

[0032] Drawing 5 and drawing 6 thru/or drawing 15 , and drawing 16 are for explaining the program, elimination, and read-out actuation of this invention which has structure which was described above of an EEPROM component. Since two memory cells are connected among one pair of bit lines BL [BL21 and] 22 and the EEPROM component of this invention constitutes one unit cell 50, as for each unit cell, it comes to store 1 bit of 2-bit data at a time for every memory cell.

[0033] First, when the 1st memory cell 91 works as a data cell and the 2nd memory cell 92 works as a selection cel, the program and elimination actuation of data in the 1st memory cell 91 in case it works as a cel transistor for the 1st transistor CT 21 to store data and the 2nd transistor CT 22 works as a selection transistor are explained.

[0034] Drawing 5 and drawing 6 are the drawings for explaining the actuation which programs data to the 1st transistor CT 21 which constitutes the 1st memory cell 91. Since the 1st transistor CT 21 operates as a cel transistor and the 2nd transistor CT 22 operates as a selection transistor in programming data to the 1st memory cell 91, the 1st conductivity gate 71 is committed as the control gate, and the 2nd conductivity gate 72 is committed as a selector gate.

[0035] In order to program data to the 1st memory cell 91, the high voltage (high voltage) is impressed to the 1st conductivity gate 71 which is the control gate, and the low battery (low voltage) of 4 thru/or 5V is impressed to the 2nd conductivity gate 72 which is a selector gate. And the high voltage is impressed to the 1st bit line BL21 connected with the 1st junction field 81, and the touch-down electrical potential difference GND is impressed to the 2nd bit line BL22 and the substrate 60 which were connected with the 2nd junction field 82. Under the present circumstances, although the high voltage of the same level can be impressed to said 1st conductivity gate 71 and 1st bit line BL21, in order to raise program efficiency desirably, the high voltage of 9 thru/or 12V is impressed to the 1st conductivity gate 71, and the high voltage of 8 thru/or 10V is impressed to the 1st bit line BL21.

[0036] Of bias conditions which were described above, inversion layers 85 and 86 are respectively formed in each channel fields 83 and 84. Although an electron moves to the 1st junction field 81 side from the 2nd junction field 82, the trap of the electron poured into the channel field 84 is carried out to the nitride 67 of the ONO film 70 by the high voltage which became hot electron (hot electron) and was impressed to the control gate 71 in this case. Under the present circumstances, the 2nd junction field 82 is committed as a source terminal. Therefore, it is accumulated in the nitride 67 whose electron is an electron trap layer by the CHEI (channel hot electron injection) method, and data are programmed. Under the present circumstances, the program marginal electrical potential difference V_{th} of the 1st memory cell 91 at the time of a data program increases in the 1st memory cell 91 3.5V.

[0037] Although not shown on the drawing, the unit cell which was formed in the shape of a matrix and connected with the same train is connected with one pair of same WORD lines on which the split of the unit cell which has structure [like drawing 4] whose EEPROM component of this invention is was carried out. All the WORD line pairs that excepted one pair of WORD lines WL21 and WL22 where said selected unit cell 50 was connected with such an EEPROM component are grounded.

[0038] Drawing 7 and drawing 8 are the drawings for explaining the actuation which eliminates the data

programmed by the 1st transistor CT 21 which constitutes the 1st memory cell 91. In order to eliminate the data stored in the 1st memory cell 91, touch-down GND of said 1st conductivity gate 71 is carried out, and it impresses the low battery of 4 thru/or 5V to said 2nd conductivity gate 72. And the high voltage of 8 thru/or 10V is impressed to the 1st junction field 81, the low battery of 4 thru/or 5V is impressed to the 2nd junction field 82, and touch-down GND of the substrate 60 is carried out.

[0039] Electronic e⁻ which the depletion layer 86 was formed between the 1st junction field 81 and the substrate 60, and the pair of an electron and a hole was generated, and was generated in the depletion layer 86 according to bias conditions which were described above is emitted through the 1st junction field 81 by the high voltage impressed to the 1st junction field 81, and hole h⁺ is poured into the channel field 83, and becomes a hot hole (hot hole). It comes to recombine the hot hole of a channel field with the electron in which the trap was carried out to the nitride 67 by the touch-down bias of the WORD line WL21 and which was accumulated in the nitride 67. Therefore, the data stored in the 1st memory cell 91 are eliminated using hot hole impregnation (hot hole injection) of the tunneling (band to band tunneling) method between band-bands. Under the present circumstances, the elimination marginal electrical potential difference V_{th} of the 1st memory cell 91 becomes low 1.5V. The low battery of 4 thru/or 5V is altogether impressed to the 1st and 2nd junction field and the 1st and 2nd conductivity gate of all unit cells which excepted said selected unit cell 50 and the unit cell arranged by the same train.

[0040] Drawing 9 and drawing 10 are the drawings for explaining the actuation which reads the data programmed by the 1st transistor CT 21 which constitutes the 1st memory cell 91. In reading the data programmed by the 1st memory cell 91, touch-down GND of the 1st junction field 81 is carried out, and it impresses the electrical potential difference of 2 thru/or 3V to the 1st conductivity gate 71. And the 2nd junction field 82 impresses the electrical potential difference of 2 thru/or 3V as a read-out electrical potential difference, and impresses the low battery of 4 thru/or 5V to the 2nd conductivity gate 72. Under the present circumstances, a read-out electrical potential difference is the level between the program marginal electrical potential difference of 3.5V which are the maximum marginal electrical potential difference of the 1st memory cell 91, and the program blanking voltage of 1.5V which are the minimum marginal electrical potential difference, and has the value of 2 thru/or 3V desirably.

[0041] It comes to decipher whether data were programmed by the 1st memory cell according to the current which flows through the channel field 83 according to bias conditions which were described above. That is, since a program marginal electrical potential difference is 3.5V when data are programmed by the 1st memory cell 91 (for example, when the data of logic "1" are stored), the turn-off of the 1st memory cell 91 will be carried out by said read-out electrical potential difference impressed to said control gate 91, and a current will not flow through the channel field 83 with it. So, it comes to sense that data were programmed.

[0042] On the other hand, when data are not programmed by the 1st memory cell 91 (for example, when the data of logic "0" are stored), the marginal electrical potential difference of said 1st memory cell 91 becomes a value lower than 3.5V which are a marginal electrical potential difference at the time of a program, and the turn-on of the 1st memory cell 91 is carried out. Since the turn-on of the 2nd memory cell 92 which is a selection cel is always carried out at the time of data readout, it comes to sense that a current comes to flow through the channel fields 83 and 84, and data are not programmed. Although the data of logic "1" may be stored at the time of a data program as described above, depending on the class of memory cell, the data of logic "0" may be stored at the time of a data program as other examples.

[0043] The 1st transistor in two transistors from which drawing 11 and drawing 12 thru/or drawing 15, and drawing 16 constitute a unit cell in the EEPROM component by the example of this invention works as a selection transistor, and the 2nd transistor is a drawing for explaining the program, elimination, and the actuation to read in the case of working as a cel transistor. Said 2nd transistor works as a cel transistor, to the 2nd memory cell, a program, elimination, and the actuation to read set up the bias

conditions of the 1st and 2nd memory cells at the time of a program, elimination, and read-out actuation for data on the contrary, carry out data at said 1st memory cell, and the principle is the same as that of drawing 5 and drawing 6 thru/or drawing 9 , and drawing 10 .

[0044]

[Table 1]

(表 1)

	選択セル	BL 2 1	BL 2 2	WL 2 1	WL 2 2	基板
プログラム 作動	第1メモリ セル	8-10 V	GND	9-12 V	4-5V	GND
	第2メモリ セル	GND	8-10 V	4-5V	9-12 V	GND
消去動作	第1メモリ セル	8-10 V	4-5V	GND	4-5V	GND
	第2メモリ セル	4-5V	8-10 V	4-5V	GND	GND
読出し作動	第1メモリ セル	GND	2-3V	2-3V	4-5V	GND
	第2メモリ セル	2-3V	GND	4-5V	2-3V	GND

[0045] The bias conditions at the time of a program in case a program in case the 1st memory cell works as a cel transistor and the 2nd memory cell works as a selection transistor, elimination, the bias conditions at the time of read-out actuation, and the 1st memory cell work as selection transistors and the 2nd memory cell works as a cel transistor, elimination, and read-out actuation are shown in (Table 1).

[0046] With the EEPROM component by the example of this invention The 1st and 2nd conductivity gate respectively connected with one pair of WORD lines by which the split was carried out is respectively formed in the 1st and the 2nd channel field between the 1st and 2nd junction fields connected with one pair of bit lines. Since the dielectric film of the ONO film is respectively formed in each conductive gate lower part, one unit cell consists of two cel transistors, and it comes to store 2-bit data in independent. So, a degree of integration can be raised and the electron trap effectiveness by the CHEI method can be raised.

[0047] Drawing 17 thru/or drawing 23 show the process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[0048] Reference of drawing 17 carries out sequential formation of the pad oxide film 101 and the nitride 102 on the predetermined conductivity type 100, for example, a P-type semiconductor substrate.

Window 102a is formed so that patterning of said nitride 102 and the pad oxide film 101 may be carried out by the usual photo etching approach and the predetermined part of a substrate may be exposed. Reference of drawing 18 vapor-deposits the polish recon film 106 on said oxide film 105 to the degree which carried out the sequential vacuum evaporations of an oxide film 103, a nitride 104, and the oxide film 105 on the nitride 102 containing said window 102a. Reference of drawing 19 forms the ONO film 110 which carried out etchback of said polish recon film 106 and an oxide film 105, a nitride 104, and the oxide film 103, and became the side attachment wall of the nitride 102 in said window 102a from spacer-like the 1st conductivity gate 111 and an oxide film 103, a nitride 104, and an oxide film 105. Reference of drawing 20 removes said nitride 102 and the pad oxide film 101.

[0049] Reference of drawing 21 vapor-deposits the polish recon film 134 on said oxide film 133 to the degree which carried out the sequential vacuum evaporations of an oxide film 131, a nitride 132, and the oxide film 133 all over the substrate. Reference of drawing 22 forms spacer-like the 2nd conductivity gate 141 and the ONO film 130 so that etchback of said polish recon film 134 and an oxide film 133, a nitride 132, and the oxide film 131 may be carried out and said 1st conductivity gate 111 may be faced at the side attachment wall of said 1st conductivity gate 111. If drawing 23 is referred to, the 1st and 2nd junction fields 151 and 152 which an ion implantation is carried out to the substrate which had the impurity of a substrate and an opposite conductivity type, for example, an N type impurity, exposed, and are respectively overlapped with the 1st conductivity gate 111 and the 2nd conductivity gate 141 will be formed, and the channel fields 153 and 154 will be respectively formed in the substrate of these

between. The EEPROM component which has two 2-bit transistors of this invention as mentioned above is manufactured.

[0050] Since the 1st and 2nd conductivity gates 111 and 141 are formed by the shape of a self aryne according to the manufacture approach of the EEPROM component of this invention which was described above and it is not restricted to the design rule by resolution, there is an advantage to which cell size can be made to reduce.

[0051]

[Effect of the Invention] According to the EEPROM component of this invention which was described above, there is an advantage which can raise a degree of integration, can raise the electron trap effectiveness at the time of the program by the CHEI method, and can decrease a trap current by forming two memory cells and storing 2 bit data among one pair of bit lines. Moreover, there is an advantage which one cel can be formed by two memory cells, can raise the DISUTABANSU resistance at the time of data elimination, and can raise dependability. Furthermore, cell size can be made to reduce without restricting the 1st and 2nd conductivity gate to a design rule, since the shape of a spacer is formed with the application of a self aryne method.

[0052] As mentioned above, although explained with reference to the desirable example of this invention, this contractor in whom this technical field became skillful can make this invention correct and change variously within limits from which it does not separate from the thought and the field of this invention indicated by the claim of this invention.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The cross-section structure and the representative circuit schematic of an EEPROM component which have the conventional 1-bit 1-transistor.

[Drawing 2] The cross-section structure and the representative circuit schematic of an EEPROM component which have the conventional 1-bit 1-transistor.

[Drawing 3] The cross-section structure and the representative circuit schematic of an EEPROM component which have two transistors of 2-bit actuation by the example of this invention.

[Drawing 4] The cross-section structure and the representative circuit schematic of an EEPROM component which have two transistors of 2-bit actuation by the example of this invention.

[Drawing 5] The drawing for explaining the actuation which programs data to the 1st memory cell in the EEPROM component of this invention.

[Drawing 6] The drawing for explaining the actuation which programs data to the 1st memory cell in the EEPROM component of this invention.

[Drawing 7] The drawing for explaining elimination actuation of the data programmed by the 1st memory

cell in the EEPROM component of this invention.

[Drawing 8] The drawing for explaining elimination actuation of the data programmed by the 1st memory cell in the EEPROM component of this invention.

[Drawing 9] The drawing for explaining read-out actuation of the data programmed by the 1st memory cell in the EEPROM component of this invention.

[Drawing 10] The drawing for explaining read-out actuation of the data programmed by the 1st memory cell in the EEPROM component of this invention.

[Drawing 11] The drawing for explaining the actuation which programs data to the 2nd memory cell in the EEPROM component of this invention.

[Drawing 12] The drawing for explaining the actuation which programs data to the 2nd memory cell in the EEPROM component of this invention.

[Drawing 13] The drawing for explaining elimination actuation of the data programmed by the 2nd memory cell in the EEPROM component of this invention.

[Drawing 14] The drawing for explaining elimination actuation of the data programmed by the 2nd memory cell in the EEPROM component of this invention.

[Drawing 15] The drawing for explaining elimination actuation of the data programmed by the 2nd memory cell in the EEPROM component of this invention.

[Drawing 16] The drawing for explaining elimination actuation of the data programmed by the 2nd memory cell in the EEPROM component of this invention.

[Drawing 17] The process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[Drawing 18] The process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[Drawing 19] The process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[Drawing 20] The process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[Drawing 21] The process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[Drawing 22] The process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[Drawing 23] The process sectional view for explaining the manufacture approach of the EEPROM component by the example of this invention.

[Description of Notations]

50: Unit cell

60: Semi-conductor substrate

61: Oxide film

62: Nitride

63: Oxide film

65: ONO film

66: Oxide film

67: Nitride

68: Oxide film

70: ONO film

71: The conductive gate

72: The conductive gate

81: Junction field

82: Junction field

83: Channel field

84: Channel field
100: Semi-conductor substrate
101: Oxide film
102: Nitride
103: Oxide film
104: Nitride
105: Oxide film
106: Polish recon film
110: ONO film
111: The conductive gate
131: Oxide film
130: ONO film
132: Nitride
133: Polish recon film
141: The conductive gate
151: Junction field
152: Junction field
153: Channel field
154: Channel field

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-17600
(P2003-17600A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.⁷ 識別記号
H 0 1 L 21/8247
G 1 1 C 16/04
H 0 1 L 27/115
29/788
29/792

F I テーマコード* (参考)
H 0 1 L 29/78 3 7 1 5 B 0 2 5
27/10 4 3 4 5 F 0 8 3
G 1 1 C 17/00 6 2 2 Z 5 F 1 0 1

審査請求 未請求 請求項の数32 O L (全 15 頁)

(21) 出願番号 特願2002-122929(P2002-122929)

(22) 出願日 平成14年4月24日 (2002.4.24)

(31) 優先権主張番号 2001-022389

(32) 優先日 平成13年4月25日 (2001.4.25)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金 成 均

大韓民国京畿道城南市盆唐区亭子洞 韓率

マウル 請求アパート106-504

(74) 代理人 100086368

弁理士 萩原 誠

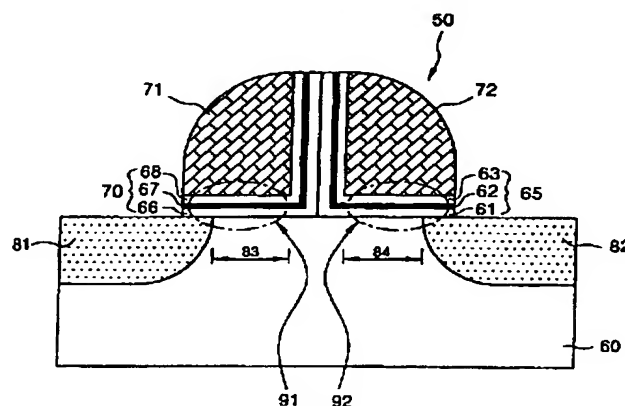
最終頁に続く

(54) 【発明の名称】 2ビット作動の2トランジスタを備えた不揮発性メモリ素子並びにその駆動方法及び製造方法

(57) 【要約】

【課題】 電子のトラップ効率を向上させてトラップ電流を減少させることができるONO構造を有するEEPROM素子とその駆動方法及び製造方法を提供する。

【解決手段】 EEPROM素子は、相互隣接する第1及び第2チャネル領域を備えた第1導電型の半導体基板と；相互向かい合うように第1及び第2チャネル領域上に各々形成された、第1及び第2導電性ゲートと；第1及び第2導電性ゲート下部並びにそれらの間の基板上に各々形成された第1及び第2絶縁膜と；第1及び第2導電性ゲートとオーバーラップされて基板上に形成されて、それらの間の基板の空間に第1及び第2チャネル領域を限定する第2導電型の第1及び第2接合領域と；を含む。



(2)

【特許請求の範囲】

【請求項1】 相互隣接する第1及び第2チャンネル領域を備えた第1導電型の半導体基板と；相互向かい合うように前記第1及び第2チャンネル領域上に各々形成された、第1及び第2導電性ゲートと；前記第1及び第2導電性ゲート下部並びにそれらの間の基板上に各々形成された第1及び第2絶縁膜と；前記第1及び第2導電性ゲートとオーバーラップされて前記基板上に形成されて、それらの間の基板の空間に前記第1及び第2チャンネル領域を限定する第2導電型の第1及び第2接合領域と；を含むことを特徴とする不揮発性メモリ素子。

【請求項2】 前記第1導電性ゲートはコントロールゲートとして働いて、前記第2導電性ゲートは選択ゲートとして働くことを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項3】 前記第1導電性ゲートは選択ゲートとして働いて、前記第2導電性ゲートはコントロールゲートとして働くことを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項4】 前記第1及び第2絶縁膜は、酸化膜間に形成された電子トラップ層としての窒化膜がサンドウィッチされたONO膜でなされることを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項5】 前記第1及び第2絶縁膜のためのONO膜中の第1及び第2導電性ゲート下部に形成された部分は、各々の電荷トラップ用誘電膜として働いて、第1及び第2導電性ゲートの間に形成された部分は、第1及び第2導電性ゲート間の絶縁膜として働くことを特徴とする請求項4に記載の不揮発性メモリ素子。

【請求項6】 相互隣接する第1及び第2チャンネル領域を備えた第1導電型の半導体基板と；相互向かい合うように前記第1及び第2チャンネル領域上に各々形成された、第1及び第2導電性ゲートと；前記第1及び第2導電性ゲート下部及びそれらの間の基板上に各々形成された、電子トラップ層を含んだ第1及び第2誘電膜と；前記第1及び第2導電性ゲートとオーバーラップされて前記基板上に形成されて、それらの間の基板の空間に前記第1及び第2チャンネル領域を限定する第2導電型の第1及び第2接合領域と；を含み、

前記第1及び第2導電性ゲート中の一つが選択ゲートとして働く時に、他の一つはコントロールゲートとして働いて、第1及び第2ゲートが相互独立的に駆動され、第1及び第2チャンネル領域中の前記選択ゲート下部のチャンネル領域に発生された電子を前記コントロールゲートに印加された電界によって前記第1及び第2誘電膜中の前記コントロールゲート下部の誘電膜の電子トラップ層にトラップさせることによって、前記第1及び第2誘電膜に各々1ビットずつのデータが貯蔵される、ことを特徴とする不揮発性メモリ素子。

【請求項7】 1対のビットライン及び1対のワードラ

インと；前記1対のビットライン間に連結される、第1及び第2メモリセルを備えた単位セルと；を含み、前記第1メモリセルは、第1導電型の半導体基板の第1チャンネル領域上に形成されて、

前記1対のワードライン中の一つに連結された第1導電性ゲートと；前記第1導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第1誘電膜と；前記第1導電性ゲートとオーバーラップされて前記基板上に形成されて、前記1対のビットライン中の一つに連結された第2導電型の第1接合領域と；を備え、

前記第2メモリセルは、前記第1チャンネル領域と隣接した前記半導体基板の第2チャンネル領域上に前記第1導電性ゲートと向かい合うように形成されて、

前記1対のワードライン中の残りに連結される第2導電性ゲートと；前記第2導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第2誘電膜と；前記第2導電性ゲートとオーバーラップされて前記基板上に形成されて、前記1対のビットライン中の残りに連結された第2導電型の第2接合領域と；を備え、

ことを特徴とする不揮発性メモリ素子。

【請求項8】 前記第1及び第2誘電膜は、電子トラップ層である窒化膜が各々酸化膜間にサンドウィッチされたONO膜でなされることを特徴とする請求項7に記載の不揮発性メモリ素子。

【請求項9】 1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結される、第1及び第2メモリセルを備えた単位セルと；を含み、

前記第1メモリセルは、第1導電型の半導体基板の第1チャンネル領域上に形成されて、

前記1対のワードライン中の一つに連結された第1導電性ゲートと；前記第1導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第1誘電膜と；前記第1導電性ゲートとオーバーラップされて前記基板上に形成されて、前記1対のビットライン中の一つに連結された第2導電型の第1接合領域と；を備え、

前記第2メモリセルは、前記第1チャンネル領域と隣接した前記半導体基板の第2チャンネル領域上に前記第1導電性ゲートと向かい合うように形成されて、

前記1対のワードライン中の残りに連結される第2導電性ゲートと；前記第2導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第2誘電膜と；前記第2導電性ゲートとオーバーラップされて前記基板上に形成されて、前記1対のビットライン中の残りに連結された第2導電型の第2接合領域と；を備え、

前記第1及び第2メモリセル中の一つがデータを貯蔵するためのデータセルで働く場合に、他の一つは前記セルを選択するための選択セルとして働いて、第1及び第2メモリセルに各々1ビットのデータを貯蔵する、ことを特徴とする不揮発性メモリ素子。

【請求項10】 前記1対のビットライン中の、第1及

(3)

3

び第2 接合領域中の前記データセルの接合領域に連結されたビットラインに第1 高電圧を印加して、選択セルの接合領域に連結されたビットライン及び基板を接地させて；前記1 対のワードライン中の、前記第1 及び第2 導電性ゲート中の選択セルの導電性ゲートに連結されたワードライン及びデータセルの導電性ゲートに連結されたワードラインに各々第2 高電圧及び低電圧を印加して；前記データセルにデータをプログラムすることを特徴とする請求項9 に記載の不揮発性メモリ素子。

【請求項1 1】 前記データセルの接合領域に連結されたビットラインに第1 高電圧を印加して、前記選択セルの接合領域に連結されたビットライン及び前記選択セルの導電性ゲートに連結されたワードラインに各々低電圧を印加して、前記データセルの導電性ゲートに連結されたワードライン及び基板を接地させて、前記データセルにプログラムされたデータを消去することを特徴とする請求項1 0 に記載の不揮発性メモリ素子。

【請求項1 2】 前記データセルの接合領域に連結されたビットライン及び基板を接地させて、前記選択セルの接合領域に連結されたビットライン及び前記データセルの導電性ゲートに連結されたワードラインに読出し電圧を印加して、前記選択セルの導電性ゲートに連結されたワードラインに低電圧を印加して、前記データセルにプログラムされたデータを読み出すことを特徴とする請求項1 1 に記載の不揮発性メモリ素子。

【請求項1 3】 前記第1 の高電圧は8 - 1 0 Vであり、第2 高電圧は9 - 1 2 Vであり、前記低電圧は4 - 5 Vであり、前記読出し電圧は前記データセルのプログラム時の限界電圧と消去時の限界電圧との間の値であることを特徴とする請求項1 2 に記載の不揮発性メモリ素子。

【請求項1 4】 前記選択セルの接合領域は、前記データセルのデータプログラム時にソース領域として働くことを特徴とする請求項1 3 に記載の不揮発性メモリ素子。

【請求項1 5】 1 対のビットライン及び1 対のワードラインと；前記1 対のビットライン間に連結されて、各ゲートが1 対のワードラインに各々連結される1 対のトランジスタで構成された単位セルと；を含み、前記1 対のトランジスタは、各々1 ビットずつのデータを貯蔵することを特徴とする不揮発性メモリ素子。

【請求項1 6】 1 対のビットライン及び1 対のワードラインと；前記1 対のビットライン間に連結される、2 端子を有する1 対のトランジスタを備えた単位セルと；を含み、

前記1 対のトランジスタの一端子は、前記1 対のワードラインに各々連結されて、前記1 対のトランジスタの他端子は前記1 対のビットラインに各々連結されることを特徴とする不揮発性メモリ素子。

【請求項1 7】 前記1 対のトランジスタ中の一つはセ

4

ルトランジスタとして働く時に、他の一つは選択トランジスタで働いて、1 対のトランジスタが各々相互独立的に1 ビットのデータを貯蔵することを特徴とする請求項1 6 に記載の不揮発性メモリ素子。

【請求項1 8】 前記単位セルの一对のトランジスタ中の一つを選択してデータをプログラム時に、前記1 対のビットライン及び1 対のワードライン中の前記選択されたトランジスタに連結されたビットラインとワードラインとに第1 及び第2 高電圧を各々印加して、非選択されたトランジスタに連結されたビットライン及びワードラインにロー電圧及び接地電圧を各々印加することを特徴とする請求項1 7 に記載の不揮発性メモリ素子。

【請求項1 9】 前記選択されたトランジスタにプログラムされたデータを消去する時に、前記選択されたトランジスタのビットライン及びワードラインに第1 高電圧及び低電圧を各々印加して、前記非選択されたトランジスタのビットライン及びワードラインに各々低電圧及び接地電圧を印加することを特徴とする請求項1 8 に記載の不揮発性メモリ素子。

【請求項2 0】 前記選択されたトランジスタにプログラムされたデータを読み出す時に、前記選択されたトランジスタのビットライン及びワードラインに各々接地電圧及び読出し電圧を各々印加して、前記非選択されたトランジスタのビットライン及びワードラインに各々読出し電圧及び低電圧を印加することを特徴とする請求項1 9 に記載の不揮発性メモリ素子。

【請求項2 1】 前記選択されたトランジスタがセルトランジスタとして働く時に前記非選択されたトランジスタは、選択トランジスタとして働くことを特徴とする請求項2 0 に記載の不揮発性メモリ素子。

【請求項2 2】 前記第1 の高電圧は、8 - 1 0 Vであり、第2 高電圧は9 - 1 2 Vであり、前記低電圧は4 - 5 Vであり、前記読出し電圧は前記データセルのプログラム時の限界電圧と消去時の限界電圧との間の値であることを特徴とする請求項2 1 に記載の不揮発性メモリ素子。

【請求項2 3】 1 対のビットライン及び1 対のワードラインと；前記1 対のビットライン間に連結される、第1 及び第2 メモリセルを備えた単位セルと；を含み、前記単位セルの第1 及び第2 メモリセルは、前記半導体基板の第1 及び第2 チャネル領域に形成されて、各々前記チャネル領域上に形成された、電子トラップ層を備えた導電性ゲートと；前記導電性ゲートとオーバーラップされて基板に形成されて前記1 対のビットラインに各々連結された第2 導電型の接合領域と；を備え、前記第1 及び第2 メモリセル中の一つがデータを貯蔵するためのデータセルとして働く場合に、他の一つは前記セルを選択するための選択セルとして働いて、第1 及び第2 メモリセルに各々1 ビットのデータを貯蔵する不揮発性メモリ素子において、

(4)

5

前記単位セルの第 1 及び第 2 メモリセル中の選択セルのビットライン及びワードラインに接地電圧及び低電圧を印加する段階と；前記データセルのビットライン及びワードラインに各々高電圧を印加する段階と；前記選択セルのチャンネル層で発生された電子を前記データセルのワードラインに印加された高電圧によって前記データセルの電子トラップ層にトラップさせる段階と；を含んで、前記第 1 及び第 2 メモリセルに相互独立的に 1 ビットのデータを各々プログラムすることを特徴とする不揮発性メモリ素子のデータプログラミング方法。

【請求項 2 4】 1 対のビットライン及び 1 対のワードラインと；前記 1 対のビットライン間に連結される、第 1 及び第 2 メモリセルを備えた単位セルと；を含み、前記単位セルの第 1 及び第 2 メモリセルは、前記半導体基板の第 1 及び第 2 チャンネル領域に形成されて、各々前記チャンネル領域上に形成された、電子トラップ層を備えた導電性ゲートと；前記導電性ゲートとオーバーラップされて基板に形成されて前記 1 対のビットラインに各々連結された第 2 導電型の接合領域と；を備え、前記第 1 及び第 2 メモリセル中の一つがデータを貯蔵するためのデータセルとして働く場合に、他の一つは前記セルを選択するための選択セルとして働いて、第 1 及び第 2 メモリセルに各々 1 ビットのデータを貯蔵する不揮発性メモリ素子において、前記単位セルの第 1 及び第 2 メモリセル中の選択セルのビットライン及びワードラインに各々低電圧を印加する段階と；前記選択セルのビットライン及びワードラインに高電圧及び接地電圧を印加する段階と；前記選択セルのチャンネル領域に発生したホールを前記選択セルのワードラインに印加された接地電圧によって前記電子注入層に注入する段階と；を含んで、前記第 1 及び第 2 メモリセルに各々貯蔵された 1 ビットのデータを相互独立的に消去することを特徴とする不揮発性メモリ素子のデータ消去方法。

【請求項 2 5】 1 対のビットライン及び 1 対のワードラインと；前記 1 対のビットライン間に連結される、第 1 及び第 2 メモリセルを備えた単位セルと；を含み、前記単位セルの第 1 及び第 2 メモリセルは、前記半導体基板の第 1 及び第 2 チャンネル領域に形成されて、各々前記チャンネル領域上に形成された、電子トラップ層を備えた導電性ゲートと；前記導電性ゲートとオーバーラップされて基板に形成されて前記 1 対のビットラインに各々連結された第 2 導電型の接合領域と；を備え、前記第 1 及び第 2 メモリセル中の一つがデータを貯蔵するためのデータセルとして働く場合に、他の一つは前記セルを選択するための選択セルとして働いて、第 1 及び第 2 メモリセルに各々 1 ビットのデータを貯蔵する不揮発性メモリ素子において、前記単位セルの第 1 及び第 2 メモリセル中の選択セルのビットライン及びワードラインに読出し電圧及び低電圧

6

を印加する段階と；前記選択セルのビットライン及びワードラインに接地電圧及び読出し電圧を印加する段階と；前記データセルのオン、オフによって前記選択セルに貯蔵されたデータを読み出す段階と；を含んで、前記第 1 及び第 2 メモリセルに貯蔵されたデータを相互独立的に 1 ビットずつ読み出すことを特徴とする不揮発性メモリ素子のデータ読出し方法。

【請求項 2 6】 第 1 導電型の半導体基板を提供する段階と；前記半導体基板の所定部分を露出させるウィンドウを備えた絶縁膜を形成する段階と；前記ウィンドウ内の前記絶縁膜の側壁に第 1 誘電膜を備えたスペーサ状の第 1 導電性ゲートを形成する段階と；前記絶縁膜を除去する段階と；前記第 1 導電性ゲートの側壁に第 1 導電性ゲートと相互向かい合うように第 2 誘電膜を備えたスペーサ状の第 2 導電性ゲートを形成する段階と；前記基板に前記第 1 及び第 2 導電性ゲートと各々オーバーラップされるように第 2 導電型の接合領域を形成する段階と；を含むことを特徴とする不揮発性メモリ素子の製造方法。

【請求項 2 7】 前記絶縁膜は、基板上に形成されたパッド酸化膜と窒化膜とでなされることを特徴とする請求項 2 6 に記載の不揮発性メモリ素子の製造方法。

【請求項 2 8】 前記第 1 及び第 2 誘電膜は、各々酸化膜－窒化膜－酸化膜の ONO 膜でなされることを特徴とする請求項 2 6 に記載の不揮発性メモリ素子の製造方法。

【請求項 2 9】 前記第 1 及び第 2 誘電膜中の相互向かい合う前記第 1 及び第 2 導電性ゲート間に形成された部分は、前記第 1 及び第 2 導電性ゲートを絶縁させる役割をすることを特徴とする請求項 2 8 に記載の不揮発性メモリ素子の製造方法。

【請求項 3 0】 前記第 1 及び第 2 導電性ゲートは、ポリシリコン膜でなされることを特徴とする請求項 2 9 に記載の不揮発性メモリ素子の製造方法。

【請求項 3 1】 前記第 1 誘電膜を含んだ第 1 導電性ゲートを形成する方法は、前記ウィンドウを含んだ絶縁膜上に第 1 酸化膜－窒化膜－第 2 酸化膜の ONO 膜を形成する段階と；前記 ONO 膜中の第 2 酸化膜上にポリシリコン膜を形成する段階と；前記 ONO 膜及びポリシリコン膜をエッチバックして前記ウィンドウ内の側壁に第 1 誘電膜及び第 1 導電性ゲートを形成する段階と；を含むことを特徴とする請求項 2 6 に記載の不揮発性メモリ素子の製造方法。

【請求項 3 2】 前記第 2 誘電膜を含む第 2 導電性ゲートを形成する方法は、前記第 1 導電性ゲートを含んだ基板上に第 1 酸化膜－窒化膜－第 2 酸化膜の ONO 膜を形成する段階と；前記 ONO 膜中の第 2 酸化膜上にポリシリコン膜を形成する段階と；前記ポリシリコン膜及び ONO 膜をエッチバックして前記第 1 導電性ゲートの側壁に第 2 誘電膜及び第 2 導

(5)

7

電性ゲートを形成する段階と；を含むことを特徴とする請求項26に記載の不揮発性メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はONO構造を有する不揮発性メモリ素子に係り、さらに具体的には2ビット作動の2トランジスタを備えた不揮発性メモリ素子並びにその駆動方法及び製造方法に関する。

【0002】

【従来の技術】不揮発性素子中のONO構造を有するEEPROM素子は、ワードライン、すなわちゲート下部に、誘電膜である酸化膜の間に窒化膜(SiN)をサンドウィッチしたONO膜を形成して、前記窒化膜に電子をトラップ(trap)またはディトラップ(detrap)してメモリセルにデータをプログラム、消去及び読み出すメモリ素子である。ONO構造を有するEEPROM素子において、窒化膜に電子をトラップする方法にはF-N(Fowler-Nordheim)トンネリング方法とCHEI(channel hot electron injection)方法とがある。F-Nトンネリング方法は、電子をトラップするのに必要な電流量は少ないが、トラップするのに所要される時間が長い短所がある。一方、CHEI方法は、トラップ時間は短い、トラップに必要な電流量が大きくて一度にトラップできるセルの数が制限される短所がある。

【0003】CHEI方法を利用して窒化膜に電子をトラップするONO構造を有する不揮発性メモリ素子が米国特許第5,768,192号に提示されている。図1及び図2は従来のCHEIを利用してデータをプログラムするONO構造のEEPROMセルの断面構造を図示したものであって、一つの単位セルに対してのみ図示している。

【0004】図1及び図2を参照すると、従来のONO構造のEEPROM10は単位セルが一つのセルトランジスタCT11で構成されて、ゲート30がワードラインWL11に連結されて、ソース/ドレイン用接合領域41、42が1対のビットラインBL11、BL12に各々連結された構造を有する。

【0005】従来のONO構造のEEPROM素子の断面構造は、第1導電型の基板、例えばP型基板20のチャンネル領域43上に、第1酸化膜21、窒化膜22及び第2酸化膜23を順次積層したONO構造の電子トラッピング用誘電膜(trapping dielectric)25が形成される。前記誘電膜25上には、ワードラインWL11に連結される導電性ゲート30が形成されて、前記導電性ゲート30両側の基板には、前記導電性ゲート30とオーバーラップされてソース/ドレイン用接合領域41、42が形成される。

【0006】前記誘電膜25中の前記第1酸化膜21は、チャンネル領域に対する電氣的アイソレーションを形

8

成する層であって、第2酸化膜23は、前記ワードライン30に対する電氣的アイソレーションを形成する層である。第1及び第2酸化膜21、23間にサンドウィッチされた窒化膜22は、注入された電子をトラップしてデータを保有(retention)する電子トラップ層である。

【0007】

【発明が解決しようとする課題】前記したような従来のEEPROM素子は、ゲート30及びソース/ドレイン接合領域41、42に連結されたビットラインBL11、BL12にプログラムするための所定の電圧を印加して、チャンネル層の電子がCHEI方式で電子トラップ層である窒化膜22にトラップされてメモリセルにデータがプログラムされる。それゆえ、従来のEEPROM素子には、CHEI方式を用いてメモリセルにデータをプログラムするために、データプログラムに必要な電流量が多くて一度にプログラムすることができるメモリセルの数が制限される問題点があった。また、データ消去時に、電子トラップ層にトラップされた電子の過度なディトラップ(detrap)によるディスタージャンプ(disturbance)が発生して信頼性が低下する問題点があった。

【0008】本発明は前記したような従来技術の問題点を解決するためのものであり、本発明の目的は、電子のトラップ効率を向上させてトラップ電流を減少させることができるONO構造を有するEEPROM素子とその駆動方法及び製造方法を提供することである。

【0009】本発明の他の目的は、スプリットされたワードライン構造を提供してCHEI方式による電子トラップ効果を向上させることができるONO構造を有するEEPROM素子とその駆動方法及び製造方法を提供することである。

【0010】本発明の他の目的は、ONO誘電膜を備えたスプリットされたワードラインを提供して1対のビットライン間に2個のメモリセルを形成して集積度を向上させることができるEEPROM素子とその駆動方法及び製造方法を提供することである。

【0011】本発明のさらに他の目的は、データ消去時ディスタージャンプを防止して信頼性を向上させることができるEEPROM素子とその駆動方法及び製造方法を提供することである。

【0012】本発明のさらに他の目的は、1対のビットライン間に2個のセルトランジスタを形成して各々のセルトランジスタの選択トランジスタで用いることによってディスタージャンプ耐性(disturbance immunity)を向上させることができるONO構造を有するEEPROM素子とその駆動方法及び製造方法を提供することである。

【0013】本発明のさらに他の目的は、スプリットワードラインの形成にセルフアライン方法を適用してデザ

50

9

イン上のセルサイズを縮小させることができるONN構造を有するEEPROM素子とその駆動方法及び製造方法を提供することである。

【0014】

【課題を解決するための手段】このような目的を達成するための本発明は、相互隣接する第1及び第2チャンネル領域を備えた第1導電型の半導体基板と；相互向かい合うように前記第1及び第2チャンネル領域上に各々形成された、第1及び第2導電性ゲートと；前記第1及び第2導電性ゲート下部並びにそれらの間の基板上に各々形成された第1及び第2絶縁膜と；前記第1及び第2導電性ゲートとオーバーラップされて前記基板上に形成されて、それらの間の基板の空間に前記第1及び第2チャンネル領域を限定する第2導電型の第1及び第2接合領域と；を含む不揮発性メモリ素子を提供することを特徴とする。

【0015】また、本発明は、相互隣接する第1及び第2チャンネル領域を備えた導電型の半導体基板と；相互向かい合うように前記第1及び第2チャンネル領域上に各々形成された、第1及び第2導電性ゲートと；前記第1及び第2導電性ゲート下部並びにそれらの間の基板上に各々形成された、電子トラップ層を含んだ第1及び第2誘電膜と；前記第1及び第2導電性ゲートとオーバーラップされて前記基板上に形成されて、それらの間の基板の空間に前記第1及び第2チャンネル領域を限定する第2導電型の第1及び第2接合領域と；を含み、前記第1及び第2導電性ゲート中の一つが選択ゲートとして働く時に他の一つはコントロールゲートとして働いて第1及び第2ゲートが相互独立的に駆動され、第1及び第2チャンネル領域中の前記選択ゲート下部のチャンネル領域に発生された電子を前記コントロールゲートに印加された電界によって前記第1及び第2誘電膜中の前記コントロールゲート下部の誘電膜の電子トラップ層にトラップさせることによって、前記第1及び第2誘電膜に各々1ビットずつのデータが貯蔵される不揮発性メモリ素子を提供することを特徴とする。

【0016】また、本発明は、1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結される、第1及び第2メモリセルを備えた単位セルと；を含み、前記第1メモリセルは、第1導電型の半導体基板の第1チャンネル領域上に形成されて、前記1対のワードライン中の一つに連結された第1導電性ゲートと；前記第1導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第1誘電膜と；前記第1導電性ゲートとオーバーラップされて前記基板に形成されて、前記1対のビットライン中の一つに連結された第2導電型の第1接合領域と；を備え、前記第2メモリセルは、前記第1チャンネル領域と隣接した前記半導体基板の第2チャンネル領域上に前記第1導電性ゲートと向かい合うように形成されて、前記1対のワードライン中の残りに連結

(6)

10

される第2導電性ゲートと；前記第2導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第2誘電膜と；前記第2導電性ゲートとオーバーラップされて前記基板に形成されて、前記1対のビットライン中の残りに連結された第2導電型の第2接合領域と；を備える不揮発性メモリ素子を提供することを特徴とする。

【0017】また、本発明は、1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結される、第1及び第2メモリセルを備えた単位セルと；を含み、前記第1メモリセルは、第1導電型の半導体基板の第1チャンネル領域上に形成されて、前記1対のワードライン中の一つに連結された第1導電性ゲートと；前記第1導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第1誘電膜と；前記第1導電性ゲートとオーバーラップされて前記基板に形成されて、前記1対のビットライン中の一つに連結された第2導電型の第1接合領域と；を備え、前記第2メモリセルは、前記第1チャンネル領域と隣接した前記半導体基板の第2チャンネル領域上に前記第1導電性ゲートと向かい合うように形成されて、前記1対のワードライン中の残りに連結される第2導電性ゲートと；前記第2導電性ゲート下部及び側壁に形成された、電子トラップ層を含む第2誘電膜と；前記第2導電性ゲートとオーバーラップされて前記基板に形成されて、前記1対のビットライン中の残りに連結された第2導電型の第2接合領域と；を備え、前記第1及び第2メモリセル中の一つがデータを貯蔵するためのデータセルとして働く場合に他の一つは前記セルを選択するための選択セルとして働いて、第1及び第2メモリセルに各々1ビットのデータを貯蔵する不揮発性メモリ素子を提供することを特徴とする。

【0018】また、本発明は、1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結されて、各ゲートが1対のワードラインに各々連結される1対のトランジスタで構成された単位セルと；を含み、前記1対のトランジスタは各々1ビットずつデータを貯蔵する不揮発性メモリ素子を提供することを特徴とする。

【0019】また、本発明は、1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結される、2端子を有する1対のトランジスタを備えた単位セルと；を含み、前記1対のトランジスタの一端子は前記1対のワードラインに各々連結されて、前記1対のトランジスタの他端子は前記1対のビットラインに各々連結される不揮発性メモリ素子を提供することを特徴とする。

【0020】また、本発明は、1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結される、第1及び第2メモリセルを備えた単位セルと；を含み、前記単位セルの第1及び第2メモリセルは、前記半導体基板の第1及び第2チャンネル領域に形成

50

(7)

11

されて、各々前記チャネル領域上に形成された、電子トラップ層を備えた導電性ゲートと；前記導電性ゲートとオーバーラップされて基板に形成されて前記1対のビットラインに各々連結された第2導電型の接合領域と；を備え、前記第1及び第2メモリセル中の一つがデータを貯蔵するためのデータセルとして働く場合に他の一つは前記セルを選択するための選択セルとして働いて、第1及び第2メモリセルに各々1ビットのデータを貯蔵する不揮発性メモリ素子において、前記単位セルの第1及び第2メモリセル中の選択セルのビットライン及びワードラインに接地電圧及び低電圧を印加する段階と；前記データセルのビットライン及びワードラインに各々高電圧を印加する段階と；前記選択セルのチャネル層で発生された電子を前記データセルのワードラインに印加された高電圧によって前記データセルの電子トラップ層にトラップさせる段階と；を含んで、前記第1及び第2メモリセルに相互独立的に1ビットのデータを各々プログラムする不揮発性メモリ素子のデータプログラミング方法を提供することを特徴とする。

【0021】また、本発明は、1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結される、第1及び第2メモリセルを備えた単位セルと；を含み、前記単位セルの第1及び第2メモリセルは、前記半導体基板の第1及び第2チャネル領域に形成されて、各々前記チャネル領域上に形成された、電子トラップ層を備えた導電性ゲートと；前記導電性ゲートとオーバーラップされて基板に形成されて前記1対のビットラインに各々連結された第2導電型の接合領域と；を備え、前記第1及び第2メモリセル中の一つがデータを貯蔵するためのデータセルとして働く場合に他の一つは前記セルを選択するための選択セルとして働いて、第1及び第2メモリセルに各々1ビットのデータを貯蔵する不揮発性メモリ素子において、前記単位セルの第1及び第2メモリセル中の選択セルのビットライン及びワードラインに各々低電圧を印加する段階と；前記選択セルのビットライン及びワードラインに高電圧及び接地電圧を印加する段階と；前記選択セルのチャネル領域に発生したホールを前記選択セルのワードラインに印加された接地電圧によって前記電子注入層に注入する段階と；を含んで、前記第1及び第2メモリセルに各々貯蔵された1ビットのデータを相互独立的に消去する不揮発性メモリ素子のデータ消去方法を提供することを特徴とする。

【0022】また、本発明は、1対のビットライン及び1対のワードラインと；前記1対のビットライン間に連結される、第1及び第2メモリセルを備えた単位セルと；を含み、前記単位セルの第1及び第2メモリセルは、前記半導体基板の第1及び第2チャネル領域に形成されて、各々前記チャネル領域上に形成された、電子トラップ層を備えた導電性ゲートと；前記導電性ゲートとオーバーラップされて基板に形成されて前記1対のビッ

12

トラインに各々連結された第2導電型の接合領域と；を備え、前記第1及び第2メモリセル中の一つがデータを貯蔵するためのデータセルとして働く場合に他の一つは前記セルを選択するための選択セルとして働いて、第1及び第2メモリセルに各々1ビットのデータを貯蔵する不揮発性メモリ素子において、前記単位セルの第1及び第2メモリセル中の選択セルのビットライン及びワードラインに読出し電圧及び低電圧を印加する段階と；前記選択セルのビットライン及びワードラインに接地電圧及び読出し電圧を印加する段階と；前記データセルのオン、オフによって前記選択セルに貯蔵されたデータを読み出す段階と；を含んで、前記第1及び第2メモリセルに貯蔵されたデータを相互独立的に1ビットずつ読み出す不揮発性メモリ素子のデータ読出し方法を提供することを特徴とする。

【0023】また、本発明は、第1導電型の半導体基板を提供する段階と；前記半導体基板の所定部分を露出させるウィンドウを備えた絶縁膜を形成する段階と；前記ウィンドウ内の前記絶縁膜の側壁に第1誘電膜を備えたスペーサ状の第1導電性ゲートを形成する段階と；前記絶縁膜を除去する段階と；前記第1導電性ゲートの側壁に第1導電性ゲートと相互向かい合うように第2誘電膜を備えたスペーサ状の第2導電性ゲートを形成する段階と；前記基板に前記第1及び第2導電性ゲートと各々オーバーラップされるように第2導電型の接合領域を形成する段階と；を含む不揮発性メモリ素子の製造方法を提供することを特徴とする。

【0024】

【発明の実施の形態】以下、本発明をさらに具体的に説明するために本発明による一実施例を添付図面を参照しながら詳細に説明する。図3は、本発明の実施例によるスプリットワードラインを有するSONOS構造のEEPROM素子の断面構造を図示したものである。図4は、図3のスプリットワードラインを有するEEPROM素子の等価回路を図示したものである。また、図3及び図4は、EEPROM素子において、一つの単位セルの断面構造及び等価回路を図示したものである。

【0025】図3及び図4を参照すると、本発明の実施例によるEEPROM素子は、半導体基板60上に1対のビットラインBL21、BL22中の第1ビットラインBL21が連結される第1接合領域81と第2ビットラインBL22が連結される第2接合領域82とが形成される。この際、前記半導体基板60は所定の導電型、例えばP型基板であって、前記第1及び第2接合領域81、82は前記半導体基板60と反対の導電型、例えばN型接合領域である。

【0026】前記第1及び第2接合領域81、82間の第1及び第2チャネル領域83、84上には、第1及び第2導電性ゲート71、72が各々隣接した第1及び第2接合領域81、82とオーバーラップされて形成され

(8)

13

る。前記第1及び第2導電性ゲート71、72は各々その下部に形成されたONO膜70、65を備えて、相互向かい合うようにスペーサ状で形成される。前記ONO膜70、65中の前記第1酸化膜66、61は、チャネル領域83、84に対する電氣的アイソレーションのための層であって、第2酸化膜68、63は前記ゲート71、72を電氣的にアイソレーションさせるための層である。第1及び第2酸化膜66、68と61、63間にサンドウィッチされた窒化膜67、62はチャネル層83、84から注入された電子をトラップしてデータを保有 (retention) する電子トラップ層である。

【0027】前記ONO膜70、65は、第1及び第2メモリセル91、92の誘電膜及び絶縁膜として働くが、ONO膜70、65中のゲート71、72下部の前記基板のチャネル83、84上に形成される部分は、各々第1及び第2メモリセル91、92の誘電膜として働いて、隣接する導電性ゲート71、72間に形成された部分は、スプリットされた導電性ゲート71、72間の絶縁のための絶縁膜として働く。前記ONO膜70、65中の酸化膜66、61は基板との絶縁のためのものであって、窒化膜67、62は電子をトラップしてデータを保有するためのものであり、酸化膜68、63は導電性ゲート71、72との絶縁のためのものである。

【0028】本発明のEEPROM素子は、CHEI方式によってメモリセルにデータをプログラムするので、前記ONO膜70、65は電子のF-Nトンネリングが発生しない程度の厚さ、例えば200Å程度の厚さを有するものが望ましい。そして、各第1酸化膜61、66、窒化膜62、67及び酸化膜63、68は各々80Å、40Å、80Å程度の厚さを有するものが望ましく、第1及び第2酸化膜は同一な厚さで形成することが望ましい。それゆえ、本発明のEEPROM素子は、1対のビットライン間に連結された単位セル50が2個のメモリセル91、92で構成される。そして、前記各メモリセル91、92は前記第1及び第2導電性ゲート71、72がスプリットされた1対のワードラインWL21、WL22に各々連結されて、その下部に各々誘電膜を備えて、各メモリセル毎に1ビットのデータを貯蔵することによって単位セル50は2ビット作動をするようになる。

【0029】前記したような構造を有する本発明のEEPROM素子において、第1メモリセル91は、前記半導体基板60の第1チャネル領域83上に形成された、電子トラップ層67を有する第1ONO膜70を備えたスペーサ状の第1導電性ゲート71と、前記第1導電性ゲート71とオーバーラップされて前記基板60上に形成されたソース用第1接合領域91とを有する。一方、第2メモリセル92は、前記半導体基板60の第2チャネル領域84上に前記第1導電性ゲート71と向かい合うように形成された、電子トラップ層62を有する第2

14

ONO膜65を備えた第2導電性ゲート72と、前記第2導電性ゲート72とオーバーラップされて前記基板60に形成されたソース用第2接合領域82とを有する。

【0030】本発明のEEPROM素子の単位セル50は、各々のチャネル領域83、84上に第1及び第2導電性ゲートが各々分離形成されて2個のメモリセルを形成するので、各チャネル領域83、84は第1及び第2導電性ゲート71、72間の第1及び第2ONO膜65、70の厚さ程度離れて形成される。図4を参照すると、本発明のEEPROM素子の単位セル50は、1対のビットラインBL21、BL22間に第1及び第2メモリセル91、92を各々構成する第1及び第2トランジスタCT21、CT22が連結構成される。前記第1及び第2トランジスタCT21、CT22は、各々2端子トランジスタで構成されるが、一端子であるゲート端子71、72は各々の第1及び第2ワードラインWL21、WL22に連結されて、他端子であるソース端子81、82は各々第1ビットラインBL21及び第2ビットラインBL22に連結される。

【0031】図4に示したようなEEPROMの単位セル50では、第1トランジスタCT21がデータを貯蔵するためのセルトランジスタとして働く場合には第2トランジスタCT22は選択トランジスタとして働く。これと反対に、第2トランジスタCT22がデータを貯蔵するためのセルトランジスタとして働く場合には第1トランジスタCT21は選択トランジスタとして働く。したがって、単位セル50は2個のトランジスタCT21、CT22が相互独立的に各々1ビットのデータを貯蔵するので、2ビットのデータを貯蔵するようになるものである。

【0032】図5及び図6ないし図15及び図16は、前記したような構造を有する本発明のEEPROM素子のプログラム、消去及び読出し作動を説明するためのものである。本発明のEEPROM素子は、1対のビットラインBL21、BL22間に2個のメモリセルが連結されて一つの単位セル50を構成するので、各単位セルは各メモリセル毎に1ビットずつ、2ビットのデータを貯蔵するようになる。

【0033】まず、第1メモリセル91がデータセルとして働いて第2メモリセル92が選択セルとして働く時、すなわち第1トランジスタCT21がデータを貯蔵するためのセルトランジスタとして働いて第2トランジスタCT22が選択トランジスタとして働く時の、第1メモリセル91におけるデータのプログラム及び消去動作を説明する。

【0034】図5及び図6は、第1メモリセル91を構成する第1トランジスタCT21にデータをプログラムする作動を説明するための図面である。第1メモリセル91にデータをプログラムする場合には、第1トランジスタCT21はセルトランジスタとして、第2トランジ

(9)

15

スタCT22は選択トランジスタとして作動するので、第1導電性ゲート71はコントロールゲートとして、第2導電性ゲート72は選択ゲートとして働く。

【0035】第1メモリセル91にデータをプログラムするために、コントロールゲートである第1導電性ゲート71には高電圧 (high voltage) を印加して、選択ゲートである第2導電性ゲート72には4ないし5Vの低電圧 (low voltage) を印加する。そして、第1接合領域81に連結された第1ビットラインBL21には高電圧を印加して、第2接合領域82に連結された第2ビットラインBL22及び基板60には接地電圧GNDを印加する。この際、前記第1導電性ゲート71及び第1ビットラインBL21には同一レベルの高電圧を印加することができるが、望ましくはプログラム効率を向上させるために、第1導電性ゲート71には9ないし12Vの高電圧を印加して、第1ビットラインBL21には8ないし10Vの高電圧を印加する。

【0036】前記したようなバイアス条件によって、各チャンネル領域83、84には反転層85、86が各々形成される。第2接合領域82から電子が第1接合領域81側に移動するが、この際、チャンネル領域84に注入された電子はホット電子 (hot electron) になってコントロールゲート71に印加された高電圧によってONO膜70の窒化膜67にトラップされる。この際、第2接合領域82はソース端子として働く。したがって、CHEI (channel hot electron injection) 方式で電子が電子トラップ層である窒化膜67に蓄積されてデータがプログラムされる。この際、第1メモリセル91にデータプログラム時の第1メモリセル91のプログラム限界電圧V_{th}は3.5Vに高まる。

【0037】図面上には示さなかったが、本発明のEEPROM素子は、図4のような構造を有する単位セルがマトリックス状に形成されて、同一列に連結された単位セルはスプリットされた1対の同一ワードラインに連結される。このようなEEPROM素子で、前記選択された単位セル50が連結された1対のワードラインWL21、WL22を除外したすべてのワードライン対は接地されている。

【0038】図7及び図8は、第1メモリセル91を構成する第1トランジスタCT21にプログラムされたデータを消去する作動を説明するための図面である。第1メモリセル91に貯蔵されたデータを消去するために、前記第1導電性ゲート71は接地GNDさせて、前記第2導電性ゲート72には4ないし5Vの低電圧を印加する。そして、第1接合領域81には8ないし10Vの高電圧を印加して、第2接合領域82には4ないし5Vの低電圧を印加して、基板60は接地GNDさせる。

【0039】前記したようなバイアス条件によって、第

16

1接合領域81と基板60との間に空乏層86が形成されて電子とホールの対が発生されて、空乏層86に発生した電子e⁻は第1接合領域81に印加された高電圧によって第1接合領域81を通して放出されて、ホールh⁺はチャンネル領域83に注入されてホットホール (hot hole) になる。チャンネル領域のホットホールは、ワードラインWL21の接地バイアスによって窒化膜67にトラップされて窒化膜67に蓄積されていた電子と再結合するようになる。したがって、第1メモリセル91に貯蔵されたデータはバンドーバンド間トンネリング (band to band tunneling) 方式のホットホール注入 (hot hole injection) を利用して消去する。この際、第1メモリセル91の消去限界電圧V_{th}は1.5Vに低くなる。前記選択された単位セル50と同一な列に配列された単位セルを除外したすべての単位セルの第1及び第2接合領域と第1及び第2導電性ゲートにはすべて4ないし5Vの低電圧を印加する。

【0040】図9及び図10は、第1メモリセル91を構成する第1トランジスタCT21にプログラムされたデータを読み出す作動を説明するための図面である。第1メモリセル91にプログラムされたデータを読み出す場合には、第1接合領域81は接地GNDさせて、第1導電性ゲート71には2ないし3Vの電圧を印加する。そして、第2接合領域82は読出し電圧として2ないし3Vの電圧を印加して第2導電性ゲート72に4ないし5Vの低電圧を印加する。この際、読出し電圧は、第1メモリセル91の最大限界電圧である3.5Vのプログラム限界電圧と最小限界電圧である1.5Vのプログラム消去電圧との間のレベルであって、望ましくは2ないし3Vの値を有する。

【0041】前記したようなバイアス条件によって、チャンネル領域83を通して流れる電流によって第1メモリセルにデータがプログラムされたかを判読するようになる。すなわち、第1メモリセル91にデータがプログラムされている場合、例えばロジック“1”のデータが貯蔵されている場合には、プログラム限界電圧が3.5Vであるので、前記コントロールゲート91に印加される前記読出し電圧によって第1メモリセル91はターンオフされてチャンネル領域83を通して電流が流れなくなる。それゆえ、データがプログラムされたことを感知するようになる。

【0042】一方、第1メモリセル91にデータがプログラムされていない場合、例えばロジック“0”のデータが貯蔵されている場合には、前記第1メモリセル91の限界電圧はプログラム時の限界電圧である3.5Vより低い値になって、第1メモリセル91はターンオンされる。データ読出し時に選択セルである第2メモリセル92は、常にターンオンされているので、チャンネル領域83、84を通して電流が流れるようになってデータが

(10)

17

プログラムされていないことを感知するようになる。前記したようにデータプログラム時にロジック“1”のデータを貯蔵する場合もあるが、他の例としてメモリセルの種類によっては、データプログラム時にロジック“0”のデータを貯蔵する場合もある。

【0043】図11及び図12ないし図15及び図16は、本発明の実施例によるEEPROM素子において、単位セルを構成する2個のトランジスタ中の第1トランジスタは選択トランジスタとして働いて、第2トランジスタはセルトランジスタとして働く場合のプログラム、*10

(表1)

	選択セル	BL21	BL22	WL21	WL22	基板
プログラム 作動	第1メモリセル	8-10V	GND	9-12V	4-5V	GND
	第2メモリセル	GND	8-10V	4-5V	9-12V	GND
消去動作	第1メモリセル	8-10V	4-5V	GND	4-5V	GND
	第2メモリセル	4-5V	8-10V	4-5V	GND	GND
読出し作動	第1メモリセル	GND	2-3V	2-3V	4-5V	GND
	第2メモリセル	2-3V	GND	4-5V	2-3V	GND

【0045】(表1)には、第1メモリセルがセルトランジスタとして第2メモリセルが選択トランジスタとして働く時のプログラム、消去及び読出し作動時のバイアス条件、及び第1メモリセルが選択トランジスタとして第2メモリセルがセルトランジスタとして働く時のプログラム、消去及び読出し作動時のバイアス条件を示したものである。

【0046】本発明の実施例によるEEPROM素子では、1対のビットラインに連結される第1及び第2接合領域間の第1及び第2チャネル領域にスプリットされた1対のワードラインに各々連結された第1及び第2導電性ゲートが各々形成されて、各導電性ゲート下部にONO膜の誘電膜が各々形成されているので、一つの単位セルが2個のセルトランジスタで構成されて独立的に2ビットのデータを貯蔵するようになる。それゆえ、集積度を向上させることができ、CHEI方式による電子トラップ効率を向上させることができる。

【0047】図17ないし図23は、本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図を示したものである。

【0048】図17を参照すると、所定導電型、例えばP型半導体基板100上にパッド酸化膜101及び窒化膜102を順次形成する。前記窒化膜102及びパッド酸化膜101を通常のフォトリソグラフィ方法でパターニングして基板の所定部分が露出されるようにウィンドウ102aを形成する。図18を参照すると、前記ウィンドウ102aを含んだ窒化膜102上に酸化膜103、窒化膜104及び酸化膜105を順次蒸着した次に前記酸化膜105上にポリシリコン膜106を蒸着する。図

18

* 消去及び読み出す作動を説明するための図面である。前記第2トランジスタがセルトランジスタとして働いて第2メモリセルにデータをプログラム、消去及び読み出す作動は、前記第1メモリセルにデータをプログラム、消去及び読出し作動時の第1及び第2メモリセルのバイアス条件を反対に設定して遂行するものであって、その原理は図5及び図6ないし図9及び図10と同一である。

【0044】

【表1】

19を参照すると、前記ポリシリコン膜106及び酸化膜105、窒化膜104及び酸化膜103をエッチバックして前記ウィンドウ102a内の窒化膜102の側壁にスペーサ状の第1導電性ゲート111及び酸化膜103、窒化膜104及び酸化膜105からなるONO膜110を形成する。図20を参照すると、前記窒化膜102及びパッド酸化膜101を除去する。

【0049】図21を参照すると、基板全面に酸化膜131、窒化膜132及び酸化膜133を順次蒸着した次に前記酸化膜133上にポリシリコン膜134を蒸着する。図22を参照すると、前記ポリシリコン膜134及び酸化膜133、窒化膜132及び酸化膜131をエッチバックして前記第1導電性ゲート111の側壁に前記第1導電性ゲート111と向かい合うようにスペーサ状の第2導電性ゲート141及びONO膜130を形成する。図23を参照すると、基板と反対導電型の不純物、例えばN型不純物を露出された基板にイオン注入して第1導電性ゲート111及び第2導電性ゲート141と各々オーバーラップされる第1及び第2接合領域151、152を形成してこれら間の基板にチャネル領域153、154を各々形成する。上記のようにして本発明の2ビットの2トランジスタを有するEEPROM素子が製造される。

【0050】前記したような本発明のEEPROM素子の製造方法によると、第1及び第2導電性ゲート111及び141がセルフアライン状で形成されるので、解像度によるデザインルールに制限されないで、セルサイズを縮小させることができる利点がある。

【0051】

50

(11)

19

【発明の効果】前記したような本発明のEEPROM素子によると、1対のビットライン間に2個のメモリセルを形成して2ビットデータを貯蔵することによって集積度を向上させることができ、CHEI方式によるプログラム時の電子トラップ効率を向上させてトラップ電流を減少させることができる利点がある。また、一つのセルが2個のメモリセルで形成されてデータ消去時のディスターバンス耐性を向上させて信頼性を向上させることができる利点がある。更に、第1及び第2導電性ゲートをセルフアライン方式を適用してスペーサ状を形成するので、デザインルールに制限されないでセルサイズを縮小させることができる。

【0052】以上のように、本発明の望ましい実施例を参照して説明したが、該技術分野の熟練された当業者は本発明の特許請求の範囲に記載された本発明の思想及び領域から外れない範囲内で本発明を多様に修正及び変更させることができる。

【図面の簡単な説明】

【図1】従来の1-ビット1-トランジスタを有するEEPROM素子の断面構造及び等価回路図。

【図2】従来の1-ビット1-トランジスタを有するEEPROM素子の断面構造及び等価回路図。

【図3】本発明の実施例による2-ビット作動の2トランジスタを有するEEPROM素子の断面構造及び等価回路図。

【図4】本発明の実施例による2-ビット作動の2トランジスタを有するEEPROM素子の断面構造及び等価回路図。

【図5】本発明のEEPROM素子において、第1メモリセルにデータをプログラムする作動を説明するための図面。

【図6】本発明のEEPROM素子において、第1メモリセルにデータをプログラムする作動を説明するための図面。

【図7】本発明のEEPROM素子において、第1メモリセルにプログラムされたデータの消去動作を説明するための図面。

【図8】本発明のEEPROM素子において、第1メモリセルにプログラムされたデータの消去動作を説明するための図面。

【図9】本発明のEEPROM素子において、第1メモリセルにプログラムされたデータの読出し作動を説明するための図面。

【図10】本発明のEEPROM素子において、第1メモリセルにプログラムされたデータの読出し作動を説明するための図面。

【図11】本発明のEEPROM素子において、第2メモリセルにデータをプログラムする作動を説明するための図面。

【図12】本発明のEEPROM素子において、第2メ

20

モリセルにデータをプログラムする作動を説明するための図面。

【図13】本発明のEEPROM素子において、第2メモリセルにプログラムされたデータの消去動作を説明するための図面。

【図14】本発明のEEPROM素子において、第2メモリセルにプログラムされたデータの消去動作を説明するための図面。

【図15】本発明のEEPROM素子において、第2メモリセルにプログラムされたデータの消去動作を説明するための図面。

【図16】本発明のEEPROM素子において、第2メモリセルにプログラムされたデータの消去動作を説明するための図面。

【図17】本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図。

【図18】本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図。

【図19】本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図。

【図20】本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図。

【図21】本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図。

【図22】本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図。

【図23】本発明の実施例によるEEPROM素子の製造方法を説明するための工程断面図。

【符号の説明】

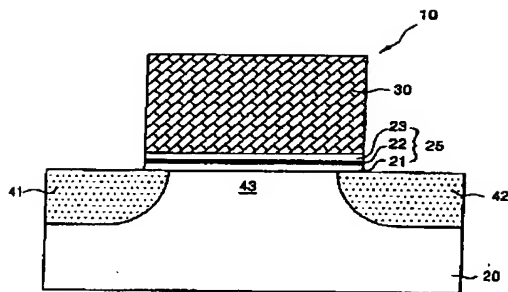
50：単位セル
60：半導体基板
61：酸化膜
62：窒化膜
63：酸化膜
65：ONO膜
66：酸化膜
67：窒化膜
68：酸化膜
70：ONO膜
71：導電性ゲート
72：導電性ゲート
81：接合領域
82：接合領域
83：チャネル領域
84：チャネル領域
100：半導体基板
101：酸化膜
102：窒化膜
103：酸化膜
104：窒化膜

(12)

21

105 : 酸化膜
 106 : ポリシリコン膜
 110 : ONO膜
 111 : 導電性ゲート
 131 : 酸化膜
 130 : ONO膜
 132 : 窒化膜

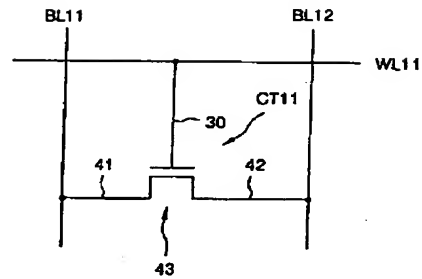
【図1】



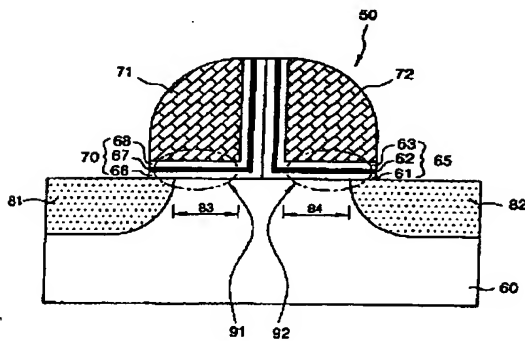
22

133 : ポリシリコン膜
 141 : 導電性ゲート
 151 : 接合領域
 152 : 接合領域
 153 : チャネル領域
 154 : チャネル領域

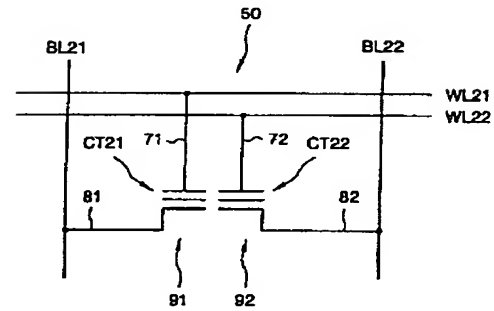
【図2】



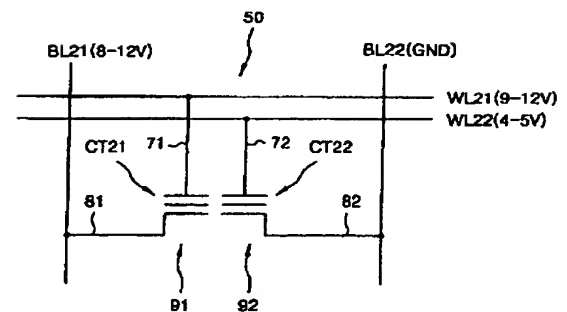
【図3】



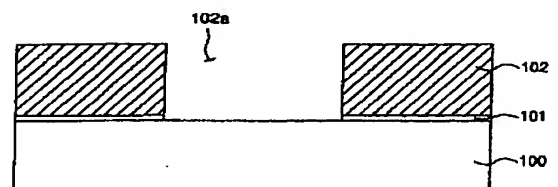
【図4】



【図6】

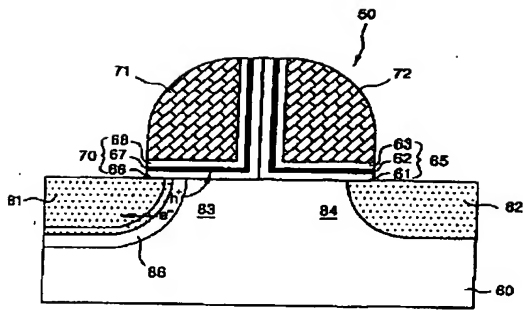


【図17】

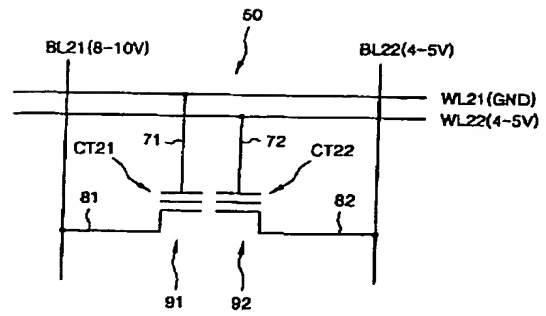


(13)

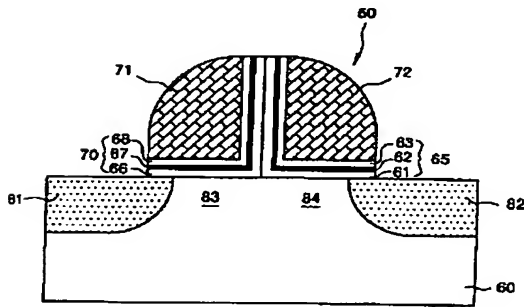
【図 7】



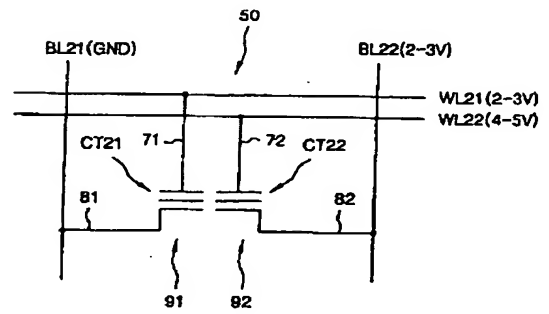
【図 8】



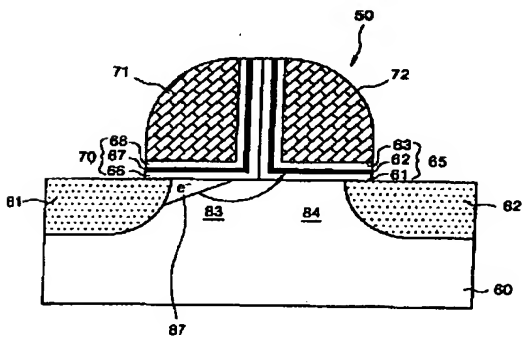
【図 9】



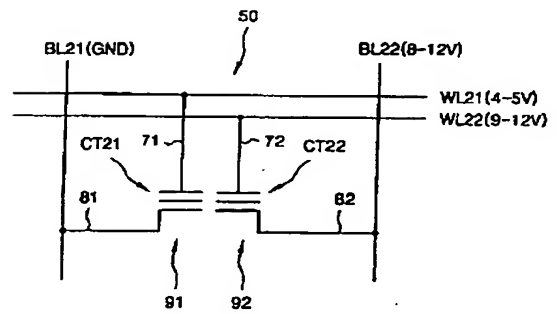
【図 10】



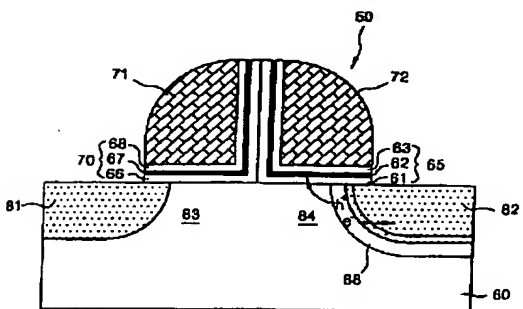
【図 11】



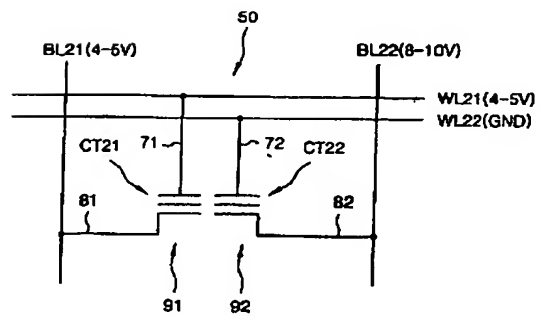
【図 12】



【図 13】

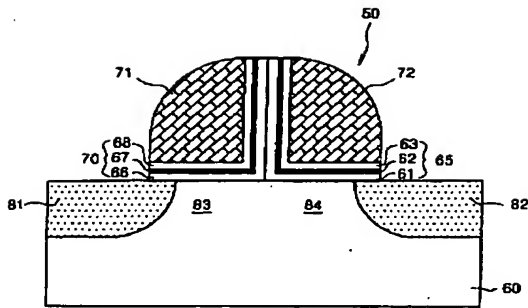


【図 14】

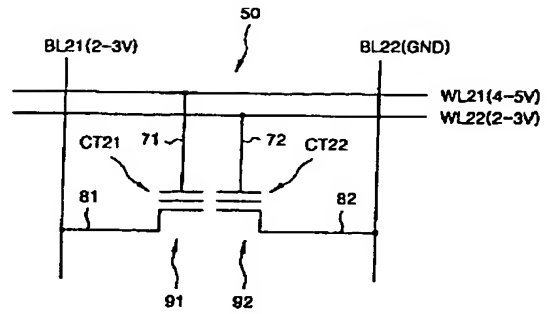


(14)

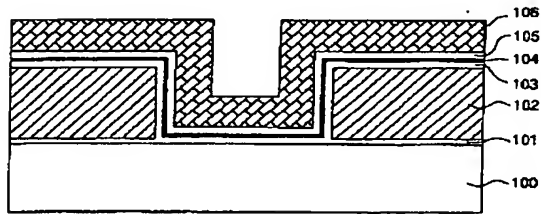
【図15】



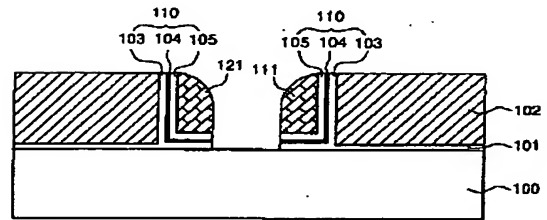
【図16】



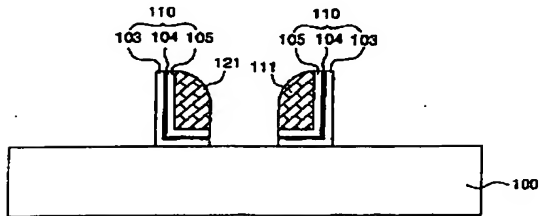
【図18】



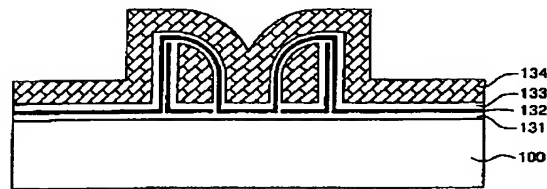
【図19】



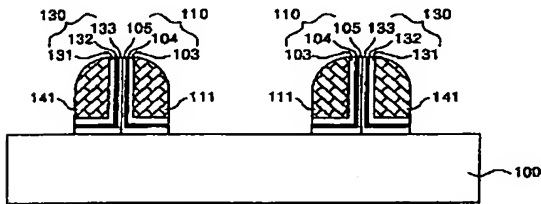
【図20】



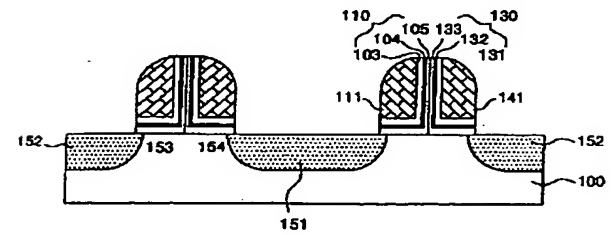
【図21】



【図22】



【図23】



(15)

フロントページの続き

Fターム(参考) 5B025 AB02 AC04 AF04
5F083 EP18 EP22 EP35 EP77 ER02
ER11 GA09 JA04 KA08 PR03
PR09 PR29 ZA21
5F101 BA45 BB02 BB03 BC11 BD02
BD10 BD22 BD33 BE02 BE05
BE07 BF05 BH14 BH19

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.